

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-283538

(43)Date of publication of application : 27.10.1995

(51)Int.Cl.

H05K 3/46

H05K 3/38

(21)Application number : 06-076203

(71)Applicant : IBIDEN CO LTD

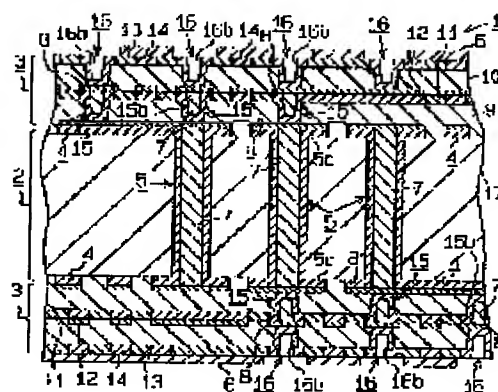
(22)Date of filing : 14.04.1994

(72)Inventor : ENOMOTO AKIRA
TAKASAKI YOSHINORI**(54) MANUFACTURE OF MULTILAYERED PRINTED WIRING BOARD**

(57)Abstract:

PURPOSE: To surely improve connection reliability by enhancing wiring freedom, forming precision of a conductor pattern, and resistance to roughing solution.

CONSTITUTION: A plating through hole 5 is filled with copper paste 7 as conducting material. A plating film 8 as a metal film is formed on the surface where the copper paste 7 is exposed. An insulating layer 9 having an aperture part in the position where the plating film 8 can be exposed is formed on a substratum 2. The insulating layer 9 is chemically roughed. The aperture part is subjected to nonelectrolytic plating.

**LEGAL STATUS**

[Date of request for examination] 07.06.2000

[Date of sending the examiner's decision of rejection] 27.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-022998

[Date of requesting appeal against examiner's decision of rejection] 21.12.2001

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of a multilayer printed wiring board of the processes which galvanize to the field which contains the process which carries out roughening processing of said insulating layer chemically, and said opening after performing the process filled up with a filler in the plating through hole formed so that a base material might be penetrated, the process which forms a metal membrane on said filler, and the process which forms at least the insulating layer which has opening on said metal membrane on said base material of performing either at least.

[Claim 2] The manufacture approach of a multilayer printed wiring board of the processes which galvanize to the field containing the process which roughens chemically the insulating layer which becomes an outer-layer side after performing the process filled up with a filler in the closed-end hole formed in the insulating layer, the process which forms a metal membrane on said filler, and the process which forms at least another insulating layer which has opening on said metal membrane on said insulating layer, and said opening of performing either at least.

[Claim 3] It is the manufacture approach of a multilayer printed wiring board according to claim 1 or 2 that said filler is the conductive matter and said metal membrane is plating film with a thickness of 1 micrometer – 7 micrometers.

[Claim 4] It is the manufacture approach of a multilayer printed wiring board according to claim 1 or 2 that said filler is the non-conductive matter, and said metal membrane is plating film with a thickness of 5 micrometers – 30 micrometers.

[Claim 5] It is the manufacture approach of a multilayer printed wiring board according to claim 1 or 2 that said filler is the conductive matter and said metal membrane is spatter film with a thickness of 0.05 micrometers – 2 micrometers.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a multilayer printed wiring board.

[0002]

[Description of the Prior Art] When realizing a large-scale and high-speed computer system etc., usually it is small, the LSI chip of high speed and quantity accumulation etc. is used, and it becomes an important technical problem to make them into the structure suitable for improvement in the speed, and to mount on a patchboard. And especially in recent years, to produce the patchboard in which high density assembly is more possible is briskly tried by attaining multilayering, thinning of a conductor pattern, etc.

[0003] As a patchboard which has a conductor pattern over two or more layers, the multilayer-interconnection plate (the so-called multilayer printed wiring board) which used the substrate made of a plastic etc. as main materials is known better than before. In the present condition, this kind of multilayer printed wiring board has spread most from the reason for being low cost etc.

[0004] Moreover, if the approach of forming a conductor pattern is divided roughly into a multilayer printed wiring board, generally it can classify into two, ** subtractive process (Subtractive Process) and ** additive process (Additive Process).

[0005] ** A subtractive process is the manufacture approach which forms a required conductor pattern by etching surface copper foil as a material, using copper clad laminate. On the other hand, the additive process of ** is the manufacture approach which forms a conductor pattern in a required part mainly with nonelectrolytic plating, using the substrate with which copper foil is not stuck.

[0006] Here, the conventional multilayer printed wiring board produced by either of both the processes is concretely explained based on each drawing with the production process. The multilayer printed wiring board (6 lamellae) 30 by the subtractive process is shown in drawing 12 (d). This multilayer printed wiring board 30 is produced through the following procedures.

[0007] First, the copper clad laminate 31 for outer layers of two sheets and the copper clad laminate 32 for inner layers of one sheet are prepared, respectively. Next, after forming the hole for the Bahia hall formation in the copper clad laminate 31 for outer layers, no electrolyzing, electrolytic copper panel plating, and inner layer pattern etching are performed. Only inner layer pattern etching is performed about the copper clad laminate 32 for inner layers, without forming the hole for the Bahia hall formation. Next, as shown in drawing 12 (a), it piles up in order of the copper clad laminate 31 for outer layers, prepreg 33, the copper clad laminate 32 for inner layers, prepreg 33, and the copper clad laminate 31 for outer layers, and a laminating press is carried out. Next, as shown in drawing 12 (b), the hole 34 for through hole formation is ****(ed) by drilling etc. After performing no electrolyzing, electrolytic copper panel plating, and through-hole plating here, as shown in drawing 12 (c), etching resist 35 is formed in the outermost layer. After performing outer layer pattern etching finally, etching resist 35 is exfoliated.

[0008] The multilayer printed wiring board 30 to which the conductor pattern 38 of each class was connected by the Bahia hall 36 and the plating through hole 37 is produced through the above process. The multilayer printed wiring board (6 lamellae) 40 produced by the additive process is shown in drawing 13 (d). These multilayer printed wiring boards 40 differed in the multilayer printed wiring board 30 of drawing 12 , and equip both sides of copper clad laminate 41 with the wiring layer 42. The production procedure is as follows.

[0009] First, as shown in drawing 13 (a), the copper clad laminate 41 produced by the mass lamination method is prepared. Next, after performing inner layer pattern etching, a photopolymer is used for both

sides and the layer insulation layer 43 is formed in them. And by performing exposure and development, as shown in drawing 13 (b), the hole 44 for the Bahia hall formation is formed in the layer insulation layer 43. Next, after performing **** of the hole 45 for roughening and through hole formation, and catalyst nucleus grant, as shown in drawing 13 (c), the permanent resist 46 is formed in the outermost layer. By finally performing non-electrolytic copper pattern plating, copper plating is deposited in the internal surface of the hole 45 for through hole formation etc. The multilayer printed wiring board 40 to which the conductor patterns 49 and 49a of each class were connected by the Bahia hall 47 and the plating through hole 48 is produced through the above process.

[0010] In addition, conductor pattern 49a formed of an additive process has the description of becoming high degree of accuracy and a FAIN thing. Therefore, it can be said that the multilayer printed wiring board 40 formed through this process fits densification as compared with what is depended on a subtractive process.

[0011] The multilayer printed wiring board (6 lamellae) 50 by the additive process is similarly shown in drawing 14. This multilayer printed wiring board 50 also equips both sides of copper clad laminate 51 with a wiring layer 52. However, the point that each wiring layer 52 is constituted by the layer insulation layers 53 and 54 of a bilayer, the point that the plating through hole 55 is laid underground completely, etc. are different. In addition, the conductor patterns 58 and 59 of each class are connected by the Bahia halls 56 and 57 and the plating through hole 55. Moreover, in this multilayer printed wiring board 50, there is the description that formation of the hole for through hole formation to the copper clad laminate which became thick etc. is not performed.

[0012] That is, according to this multilayer printed wiring board 50, it is what has possible promoting further the whole closing-in-izing and the finization of conductor patterns 58 and 59 so that clearly also from the above-mentioned configuration. Therefore, the configuration of the type of drawing 14 is considered to be most suitable for densification, a miniaturization, etc.

[0013]

[Problem(s) to be Solved by the Invention] However, there is a problem which is described below in the conventional multilayer printed wiring board 50 shown in drawing 14.

[0014] As mentioned above, the conductor patterns 58 and 59 of each class of a multilayer printed wiring board 50 need to be electrically connected by the conductor. Here explains the situation of connection by the Bahia halls 56 and 57 and the plating through hole 55 based on drawing 14 and drawing 15.

[0015] Pad 55a for connection which carried out the circle configuration is formed in a part of land 55b of the plating through hole 55. On the pad 55a for connection, the Bahia hall 56 belonging to the layer insulation layer 53 by the side of a inner layer is connected. Said Bahia hall 56 is connected to pad 56a for connection formed on the layer insulation layer 53 by the side of a inner layer. And on the pad 56a for connection, the Bahia hall 57 belonging to the layer insulation layer 54 by the side of an outer layer is connected. That is, in the former, it will be required that the upper part of the plating through hole 55 and the upper part (namely, location which becomes an axis top) of the Bahia hall 56 should be avoided, and the pads 55a and 56a for connection should be arranged.

[0016] However, when it is made the above arrangement, in order that the area which can be used for wiring of a conductor pattern 58 may decrease in number relatively, the fall of a wiring degree of freedom is not avoided. Therefore, a miniaturization or densification of a multilayer printed wiring board 50 cannot fully be attained.

[0017] Moreover, since in the case of the multilayer printed wiring board 50 of drawing 14 cavernous section 55c is in the plating through hole 55 or crevice 56b is in the Bahia hall 56 belonging to the layer insulation layer 53 by the side of a inner layer, there is a problem that irregularity tends to be made to the conductor pattern 59 of the outermost layer. Thus, when the formation precision of a conductor is bad, supposing the conductor pattern 59 is a bonding pad, wirebonding precision will get worse by existence of irregularity. Consequently, mounting of the LSI chip to a multilayer printed wiring board 50, a package, etc. becomes difficult.

[0018] Furthermore, in the printed wired board 50 of drawing 14, if it is going to fill up a through tube and a closed-end hole with a filler etc., the following problems arise. Namely, depending on selection of the filler used, the resin in a filler will dissolve by being exposed to roughening liquid (a chromic acid, chromate acid mixture, permanganic acid, etc.) at the time of roughening down stream processing carried out after the insulating stratification. For this reason, there is a possibility that the connection dependability between a filler part and other metal parts may worsen, for example. Moreover, when the process attains to long duration, it becomes easy to come to said filler also according to the nonelectrolytic plating process (strong base) carried out after roughening down stream processing out of a bad influence. And it will lead

to aggravation of connection dependability also in this case.

[0019] This invention is made in view of the above-mentioned situation, and the purpose is in offering the manufacture approach of a multilayer printed wiring board that improvement in the connection dependability by the improvement of improvement in a wiring degree of freedom, the improvement in the formation precision of a conductor pattern, roughening-proof acidity or alkalinity, plating-proof acidity or alkalinity, etc., etc. can be aimed at certainly.

[0020]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in invention according to claim 1 The process filled up with a filler in the plating through hole formed so that a base material might be penetrated, After performing the process which forms a metal membrane on said filler, and the process which forms at least the insulating layer which has opening on said metal membrane on said base material, The manufacture approach of a multilayer printed wiring board of the processes which galvanize to the field containing the process which carries out roughening processing of said insulating layer chemically, and said opening of performing either at least is made into the summary.

[0021] The process which fills up a filler with invention according to claim 2 in the closed-end hole formed in the insulating layer, After performing the process which forms a metal membrane on said filler, and the process which forms at least another insulating layer which has opening on said metal membrane on said insulating layer, The manufacture approach of a multilayer printed wiring board of the processes which galvanize to the field containing the process which roughens chemically the insulating layer which becomes an outer layer side, and said opening of performing either at least is made into the summary.

[0022] In invention according to claim 3, in claims 1 or 2, said filler is the conductive matter and said metal membrane supposes that it is the plating film with a thickness of 1 micrometer – 7 micrometers. In invention according to claim 4, in claims 1 or 2, said filler is the non-conductive matter, and said metal membrane supposes that it is the plating film with a thickness of 5 micrometers – 30 micrometers. In invention according to claim 5, in claims 1 or 2, said filler is the conductive matter and said metal membrane supposes that it is the spatter film with a thickness of 0.05 micrometers – 2 micrometers.

[0023]

[Function] Since according to invention according to claim 1 roughening down stream processing and a plating process are performed after the filler exposed out of a plating through hole has been protected by the metal membrane, a filler is not directly exposed to roughening liquid or plating liquid. Therefore, the dissolution of the resin in a filler with roughening liquid or plating liquid is prevented.

[0024] Moreover, according to this invention, since flattening of the end face of a plating through hole is carried out by restoration of a filler, that part can be used as a pad for connection. That is, the thing of a plating through hole for which the base of a closed-end hole (henceforth the Bahia hall) is mostly connected on an axis becomes possible. As the plating through hole and Bahia hall side becomes connectable electrically through a metal membrane and avoids the upper part of a plating through hole, it becomes unnecessary and to arrange the pad for connection.

[0025] Furthermore, according to this invention, since depression of the insulating layer by existence of the cavernous section of a plating through hole is prevented, irregularity does not arise in the conductor pattern formed in the part which hits the upper part of a plating through hole.

[0026] Since according to invention according to claim 2 roughening down stream processing and a plating process are performed after the filler exposed out of the Bahia hall has been protected by the metal membrane, a filler is not directly exposed to roughening liquid or plating liquid. Therefore, the dissolution of the resin in a filler with roughening liquid or plating liquid is prevented.

[0027] Moreover, according to this invention, since flattening of the end face of the Bahia hall is carried out by restoration of a filler, that part can be used as a pad for connection. That is, it becomes possible to connect the base of almost another Bahia hall on an axis of the Bahia hall. As the Bahia halls of an inside-and-outside layer become connectable electrically through a metal membrane and they avoid the upper part of the Bahia hall by the side of a inner layer, it becomes unnecessary and to arrange the pad for connection.

[0028] Furthermore, according to this invention, since depression of the insulating layer by existence of the cavernous section of the Bahia hall by the side of a lower layer is prevented, irregularity does not arise in the conductor pattern formed in the part which hits the upper part of this Bahia hall.

[0029] Positive dissolution prevention can be aimed at without causing long time-ization of a production process, since especially according to invention according to claim 3 to 5 the filler was used as the conductive matter or the non-conductive matter and the thickness of a metal membrane (plating film or spatter film) is set as the predetermined range.

[0030]

[Example]

[Example 1] The example 1 which materialized this invention to the manufacture approach of a multilayer printed wiring board is hereafter explained to a detail based on drawing 1 - drawing 8 .

[0031] The multilayer printed wiring board 1 is shown in drawing 1 . This multilayer printed wiring board 1 is 6 lamellae which equip both sides of a base material 2 with the thin film wiring layer 3. The conductor pattern 4 is formed in both sides of a base material 2. These conductor patterns 4 are connected by the plating through hole 5 prepared so that a base material 2 might be penetrated. In addition, the plating through hole 5 of this example has land 5c of a circle configuration to the both ends.

[0032] Copper-plating layer 5b which constitutes the plating through hole 5 has cavernous section 5a in the center section. And the cavernous section 5a is filled up with the copper paste 7 as a filler which has conductivity. Flattening of the both-ends side of the plating through hole 5 is carried out by filling up with the copper paste 7. The plating film 8 as a metal membrane is formed in the both-ends side of the plating through hole 5 by which flattening was carried out. That is, the copper paste 7 exposed from the plating through hole 5 is in the condition of having been covered with the plating film 8.

[0033] The wiring layer 3 which consists of the two-layer structure of the layer insulation layer 9 by the side of a inner layer and the layer insulation layer 10 by the side of an outer layer is formed in the multilayer printed wiring board 1 of this example. The permanent resist 11 is formed in the front face of the layer insulation layer 9 by the side of a inner layer. The conductor pattern 12 is formed in the part in which the permanent resist 11 is not formed among the front faces of the layer insulation layer 9 by the side of a inner layer. The permanent resist 13 is similarly formed in the front face of the layer insulation layer 10 by the side of an outer layer. The conductor pattern 14 is formed in the part in which the permanent resist 13 is not formed among the front faces of the layer insulation layer 10 by the side of an outer layer. Said some of conductor patterns 14 serve as a pad for connection for carrying out the surface mount of the LSI chip etc. Moreover, the front face of the layer insulation layer 10 by the side of an outer layer is covered with the solder resist 6 except for the part. In addition, it is made for convenience the thing of explanation for which said conductor pattern 14 is called this "the conductor pattern 14 of the outermost layer" or subsequent ones. The thing of a conductor pattern 12 is similarly made to call the thing of "the conductor pattern 12 of an outer layer", and a conductor pattern 4 "the conductor pattern 4 of a inner layer", respectively.

[0034] The Bahia hall 15 for interlayer connections is formed in the layer insulation layer 9 by the side of a inner layer. The Bahia hall 16 for interlayer connections is similarly formed in the layer insulation layer 10 by the side of an outer layer. The copper-plating layers 15b and 16b which constitute the Bahia halls 15 and 16 have Crevices 15a and 16a in the center section. And crevice 15a of the Bahia hall 15 belonging to the layer insulation layer 9 by the side of a inner layer is filled up with the copper paste 7 which is the filler which has conductivity.

[0035] In the case of this multilayer printed wiring board 1, the base of the Bahia hall 15 belonging to the layer insulation layer 9 by the side of a inner layer is electrically connected to the copper paste 7 exposed from the end face of the plating through hole 5 through the plating film 8. Moreover, similarly on the copper paste 7 with which crevice 15a of the Bahia hall 15 was filled up, the base of the Bahia hall 16 belonging to the layer insulation layer 10 by the side of an outer layer is electrically connected through the plating film 8. Therefore, the plating through hole 5 and the Bahia halls 15 and 16 are in the condition of having been arranged on about 1 straight line. That is, so to speak in this multilayer printed wiring board 1, the copper paste 7 has played the role of the pad for connection for the Bahia halls 15 and 16.

[0036] Next, the procedure of manufacturing this multilayer printed wiring board 1 is explained based on drawing 2 - drawing 8 . First, the copper clad laminate 17 made from the glass fabric base material epoxy resin is prepared, and the hole 18 for through hole formation is ****(ed) to the copper clad laminate 17. Next, according to well-known technique, panel plating and through-hole plating are performed conventionally, and copper-plating layer 5b is deposited in the hole 18 for through hole formation. Consequently, as shown in drawing 2 , the plating through hole 5 is formed in copper clad laminate 17. In addition, in this example, the bore of the hole 18 for through hole formation is set as about 300 micrometers, and the diameter of land 5c of the plating through hole 5 is set as about 700 micrometers.

[0037] Next, the metal mask which has a hole with the formation location of each plating through hole 5 in the location corresponding to the copper clad laminate 17 in which the plating through hole 5 was formed is arranged. And by moving a squeegee, as shown in drawing 3 , cavernous section 5a of the plating through hole 5 is filled up with the copper paste 7. In this example, the copper paste 7 which added the little solvent, the CHIKUSO agent, etc. is used for the copper powder and thermosetting resin which are a

principal component.

[0038] Next, after drying the copper paste 7 with which it filled up and carrying out counter etching of the front face by buffing, the plating film 8 is formed in both sides of copper clad laminate 17 by ** attachment panel plating. In addition, when filled up with the copper paste 7, it is desirable that the height of the disclosure side of the copper paste 7 after desiccation becomes almost the same as the height which is the land 5c page of the plating through hole 5.

[0039] As a means to form the plating film 8 which is a metal membrane, there are an electrolysis galvanizing method and a nonelectrolytic plating method. In this case, as for especially the thickness of the plating film 8 formed, it is good that it is [1 micrometer – 7 micrometers / 3 more micrometers – 6 micrometers] 4 micrometers – 5 micrometers. When the plating film 8 becomes thick, there is a possibility of it becoming impossible to attain shortening of production time, and becoming cost quantity. On the other hand, when the plating film 8 is too thin, there is a possibility that it may become impossible to protect the copper paste 7 from roughening liquid or a software etching process certainly. In addition, in this example, it is supposed that the plating film 8 which consists of copper with a thickness of 5 micrometers is formed by the electrolytic copper galvanizing method.

[0040] Next, pattern etching is performed after forming etching resist in the front face of the plating film 8. Then, as shown in drawing 4 , the conductor pattern 4 of the inner layer which carried out the predetermined configuration is formed. In addition, in this example, the conductor pattern 4 of said inner layer is used mainly as a voltage plane or a grand layer.

[0041] Next, the adhesives for additives of a photosensitive epoxy system with which the comparatively easily dissolvable resin filler was distributed to the oxidizer in the comparatively refractory resin matrix by both sides of copper clad laminate 17 in which the conductor pattern 4 of a inner layer was formed to the oxidizer are applied. By performing exposure and development here, as shown in drawing 5 , the layer insulation layer 9 by the side of the inner layer which has the hole 19 for the Bahia hall formation as opening is formed. At this time, the hole 19 for the Bahia hall formation is formed corresponding to the end face of the plating through hole 5 where it fills up with the copper paste 7.

[0042] Next, chemical roughening processing to the layer insulation layer 9 by the side of a inner layer is performed using the chromic acid which is a roughening agent (oxidizer). Then, catalyst nucleus grant, formation of the permanent resist 11, plating pretreatment, and non-electrolytic copper pattern plating are performed.

[0043] If it passes through the above-mentioned plating processing, copper-plating layer 15b deposits on the internal surface of the hole 19 for the Bahia hall formation, the front face of the plating film 8 exposed from the hole 19 for the Bahia hall formation, etc. Therefore, as shown in drawing 6 , the Bahia hall 15 whose diameter of opening is about 100 micrometers is formed in the layer insulation layer 9 by the side of a inner layer. In addition, in this example, the deposit thickness of copper-plating layer 15b is set as about 25 micrometers. About what has been arranged on the axis of the plating through hole 5 among said Bahia halls 15, the base will be in the condition of having connected with the end face of the plating through hole 5. Moreover, the conductor pattern 12 of an outer layer is formed in the front face of the layer insulation layer 9 by the side of a inner layer.

[0044] Next, the metal mask which has a hole with the formation location of each Bahia hall 15 in the location corresponding to the front face of the layer insulation layer 9 by the side of the inner layer in which the Bahia hall 15 was formed is arranged. And crevice 15a of the Bahia hall 15 is filled up with the above-mentioned copper paste 7 by moving a squeegee. Consequently, the end face by the side of opening of the Bahia hall 15 will be in the condition that flattening was carried out, by restoration of the copper paste 7. At this time, it is good for the height of the disclosure side of the copper paste 7 to become almost comparable as the height of the land side of the Bahia hall 15.

[0045] Next, after drying the copper paste 7 with which it filled up, the plating film 8 as a metal membrane as shown in drawing 7 is formed also on the copper paste 7 in said Bahia hall 15 by the ** attachment panel plating mentioned above. In this case, as a means to form the plating film 8, there are an electrolysis galvanizing method and a nonelectrolytic plating method. As for especially the thickness of the plating film 8 formed, it is good that it is [1 micrometer – 7 micrometers / 3 more micrometers – 6 micrometers] 4 micrometers – 5 micrometers. The reason is as above-mentioned. In this example, it is supposed that the plating film 8 which consists of copper with a thickness of 5 micrometers by the electrolytic copper galvanizing method is formed as well as the time of the plating through hole 5.

[0046] Next, according to the formation procedure of the layer insulation layer 9 by the side of the inner layer mentioned above, the layer insulation layer 10 by the side of an outer layer is formed. At this time, the hole for the Bahia hall formation as opening is prepared by performing exposure and development

corresponding to the end face of the Bahia hall 15 where it fills up with the copper paste 7. Then, after performing the chemical roughening processing and catalyst nucleus grant to the layer insulation layer 10 by the side of an outer layer, formation of the permanent resist 13, plating pretreatment, and non-electrolytic copper pattern plating are performed. If it passes through the above-mentioned plating processing, copper-plating layer 16b deposits on the internal surface of the hole for the Bahia hall formation, the front face of the copper paste 7 in crevice 16a, etc. Therefore, as shown in drawing 8, the Bahia hall 16 whose diameter of opening is about 100 micrometers is formed in the layer insulation layer 10 by the side of an outer layer.

[0047] About what has been arranged on the axis of the Bahia hall 15 which belongs to the layer insulation layer 9 by the side of a inner layer among said Bahia halls 16, the base will be in the condition of having connected with the end face of this Bahia hall 15. Moreover, the conductor pattern 14 of the outermost layer is formed in the front face of the layer insulation layer 10 by the side of an outer layer. Furthermore, the conductor pattern 14 of the outermost layer is covered with a solder resist 6. In addition, the liquid photograph solder resist is used in this example. On the other hand, the Bahia hall 16 belonging to the layer insulation layer 10 by the side of an outer layer is exposed from said solder resist 6. That is, in this multilayer printed wiring board 1, said Bahia hall 16 is used as an external connection terminal for joining a lead, a bump, etc. of an LSI chip etc.

[0048] Now, the operation effectiveness of the manufacture approach of the multilayer printed wiring board 1 of above this examples is explained. According to this manufacture approach, before the copper paste 7 exposed from the end face of the plating through hole 5 or the Bahia hall 15 performs roughening down stream processing, it is beforehand protected by the plating film 8. And since roughening down stream processing is performed in this condition, the copper paste 7 is not directly exposed to roughening liquid. Therefore, the dissolution of the resin under copper paste 7 with roughening liquid can be prevented. For this reason, irregularity etc. decreases in the exposure of the copper paste 7, and the connection condition of copper paste 7 part and the copper-plating layers 15b and 16b formed in that upper part improves certainly. Consequently, the multilayer printed wiring board 1 excellent in connection dependability will be obtained.

[0049] Moreover, by this manufacture approach, after having been beforehand protected by the plating film 8 as mentioned above, the non-electrolytic copper plating process for forming the Bahia halls 15 and 16 is performed. For this reason, even if it is a time of passing through the non-electrolytic copper plating process carried out over the long time amount of several hours, the copper paste 7 is not directly exposed to plating liquid, and a bad influence does not necessarily appear especially in the copper paste 7.

[0050] Furthermore, according to this manufacture approach, since flattening of the end face of the plating through hole 5 is carried out by restoration of the copper paste 7, that part can be used as a pad for connection. That is, the thing of the plating through hole 5 for which the base of the Bahia hall 15 is mostly connected on an axis becomes possible. Similarly, since flattening of the end face of the Bahia hall 15 is carried out by restoration of the copper paste 7, it can be used as a pad for connection also about the part. That is, it also becomes possible to connect the base of almost another Bahia hall 16 on an axis of the Bahia hall 15.

[0051] And the plating through hole 5 side, the Bahia hall 15 side and the Bahia hall 15, and 16 sides become connectable electrically through the plating film 8. As the upper part of the plating through hole 5 and the upper part of the Bahia hall 15 by the side of a inner layer are avoided, it becomes unnecessary therefore, to arrange the pad for connection.

[0052] In the case of the multilayer printed wiring board 1 of this example, the plating through hole 5 and the Bahia halls 15 and 16 are in the condition of having been arranged on about 1 straight line so that clearly from the above thing. So, if it is in this multilayer printed wiring board 1, as compared with the conventional multilayer printed wiring board, the area which can be used for wiring of conductor patterns 4, 12, and 14 is large relatively. moreover, with the increment in wiring area, a wiring degree of freedom will also be boiled markedly, and will improve, and it becomes possible to have and to fully attain a miniaturization and densification of a multilayer printed wiring board 1. In addition, as a result of the improvement of a design degree of freedom, when automating wiring fully, it becomes very convenient. And shortening, a cost cut, etc. of a design period will be attained by realizing full automation of such wiring.

[0053] Furthermore, according to this invention, depression of the layer insulation layer 9 by the side of the inner layer by existence of cavernous section 5a of the plating through hole 5 is prevented. For this reason, irregularity does not arise in the conductor pattern 12 of the outer layer formed in the part which hits the upper part of the plating through hole 5. Similarly, since depression of the layer insulation layer 10 by the side of the outer layer by existence of the cavernous section of the Bahia hall 15 by the side of a inner

layer is prevented, irregularity does not arise in the conductor pattern 14 of the outermost layer formed in the part which hits the upper part of this Bahia hall 15.

[0054] Irregularity arises neither in the conductor pattern 12 of the outer layer of the plating through hole 5 or the Bahia hall 15 mostly formed on the axis, nor the conductor pattern 14 of the outermost layer so that clearly from the above thing. Therefore, the multilayer printed wiring board 1 of this example has the conductor patterns 12 and 14 which were extremely excellent in dimensional accuracy. For this reason, even when some conductor patterns 14 of the outermost layer are temporarily used as a bonding pad, wirebonding can be performed with a sufficient precision. And since the surface smoothness of the layer insulation layer 10 by the side of an outer layer is also improved as it is the above-mentioned configuration, it becomes very convenient in case the surface mount of IC chip, the LSI chip, etc. is carried out to a multilayer printed wiring board 1.

[0055] Moreover, since the plating film 8 which consists of copper with a thickness of 5 micrometers is made into the metal membrane in the case of this manufacture approach, positive dissolution prevention can be aimed at, without causing long time-ization of a production process. In addition, if it is the plating film 8 of thickness of this level, it will not be accompanied by the dissolution of the resin under copper paste 7 in the case of an own plating process. Of course, formation also has the advantage that it is easy and low cost in said plating film 8.

[0056] Furthermore, in this example, since the copper paste 7 which contains copper powder as a principal component is used as a filler, restoration does not take time amount. Therefore, compared with the conventional approaches (for example, the formation approach of conventionally well-known FIRUDO beer etc.) filled up with a filler, it becomes in production process, in cost, and advantageous with nonelectrolytic plating. Especially, according to the restoration approach using a copper paste 7 like this example, figuring by 2 times coating or polish processing of adhesives etc. will not necessarily be needed. For this reason, it is a thing superior to the formation approach of the FIRUDO beer in the former.

[0057] And the plating through hole 5 is in the condition of having been completely laid under the bottom of a wiring layer 3, in the multilayer printed wiring board 1 of this example. Therefore, there is an advantage that the closure nature when constituting a package and airtightness become good unlike the conventional multilayer printed wiring board which has the penetrated plating through hole 5. And according to this configuration, it is only sufficient to **** the hole 18 for through hole formation. [used as a base material 2] [17] Therefore, unlike the conventional multilayer printed wiring board [need / not only the hole 18 for through hole formation but the hole for the Bahia hall formation / to be processed], processing cost becomes cheap.

[0058] Air bubbles stop moreover, according to the multilayer printed wiring board 1 of this example, remaining at all inside the plating through hole 5, as a result of filling up completely cavernous section 5a of the plating through hole 5 with the copper paste 7. Therefore, a possibility that it may originate in internal air bubbles and a crack may occur disappears, and the thermal resistance of a multilayer printed wiring board 1 improves.

[Example 2] The multilayer printed wiring board 20 of an example 2 is shown in drawing 9 . This multilayer printed wiring board 20 is characterized by filling up crevice 16a of the Bahia hall 16 in the multilayer printed wiring board 1 of an example 1 with the copper paste 7. And it is desirable to form the plating film 8 (illustration abbreviation) similarly with having carried out in the example 1 further. Therefore, in the multilayer printed wiring board 20 of an example 2, the end face by the side of opening of the Bahia hall 16 is in the condition that flattening was carried out mostly.

[0059] When using the end face by the side of opening of the Bahia hall 16 as a pad for connection of a surface mount, for example as it is this configuration, junction of the lead of an LSI chip, a package, etc., a bump, etc. becomes easy rather than the time this end face is not flat. That is, when crevice 16a is lost to the end face by the side of said opening, it is because wirebonding can carry out more easily. In addition, in connecting a lead etc. with soldering, there is also an advantage that there is little solder amount of supply and it ends.

[Example 3] The multilayer printed wiring board 22 of an example 3 is shown in drawing 10 . This multilayer printed wiring board 22 is 6 lamellae which equip both sides of a base material 2 with a wiring layer 3 as well as the multilayer printed wiring board 1 of an example 1. However, in this multilayer printed wiring board 22, difference is in the configuration of the part which serves as an outer layer from the layer insulation layer 9 by the side of the inner layer which constitutes the wiring layer 3. Therefore, it supposes that the configuration about difference is explained as a core, and explanation is omitted about the configuration about a common feature here.

[0060] As shown in drawing 10 , a Bahia hall 23 which is different in the Bahia hall 16 of an example 1 is

formed in the layer insulation layer 10 by the side of an outer layer. That is, this Bahia hall 23 is a thing with the so-called mushroom-like copper-plating layer (namely, mushroom mold bump) 25 in the hole 24 for the Bahia hall formation. Therefore, this Bahia hall 23 is what did not have crevice 16a in an opening side, but was moreover projected a little rather than the front face of the layer insulation layer 10 by the side of an outer layer.

[0061] Moreover, it is characteristic that the conductor pattern 14 of the outermost layer is not formed in the front face of the layer insulation layer 10 by the side of an outer layer in this multilayer printed wiring board 22. Therefore, these multilayer printed wiring boards 22 differ in examples 1 and 2, and are not equipped with the permanent resist 13 or the solder resist 6.

[0062] The procedure of manufacturing the multilayer printed wiring board 22 of an example 3 here is explained. It carries out to the process which forms the Bahia hall 15 which belongs to the layer insulation layer 9 by the side of a inner layer according to the approach of an example 1 first, using copper clad laminate 17 as a start ingredient. The plating film 8 which consists of copper with a thickness of 5 micrometers is formed in the end face of the Bahia hall 15. Next, the layer insulation layer 10 by the side of an outer layer is formed in the front face of the layer insulation layer 9 by the side of a inner layer by applying the adhesives of a photosensitive epoxy system. Next, by performing exposure and development, the hole 24 for the Bahia hall formation as opening is formed in the layer insulation layer 10 by the side of an outer layer. Then, nonelectrolytic plating between predetermined time is performed using a non-electrolytic copper plating bath. Then, copper plating begins to deposit by using as a nucleus only the plating film 8 exposed from the hole 24 for the Bahia hall formation. And copper plating is filled up with the hole 24 for the Bahia hall formation, and the mushroom mold bump 25 as finally shown in drawing 10 is formed.

[0063] Now, according to the multilayer printed wiring board 22 of an example 3, the end face by the side of opening of the Bahia hall 23 which is an external connection terminal is in the condition of having upheaved from the layer insulation layer 10 by the side of an outer layer. Therefore, junction of the lead of an LSI chip, a package, etc., a bump, etc. becomes still easier as well as the time of said example 2.

[0064] Moreover, if a package is constituted using this multilayer printed wiring board 22, it will become possible by using the mushroom mold bump 25 as an external connection terminal to mount this package easily to a mother board.

[0065] Furthermore, according to the configuration of the example 3 which does not form the conductor pattern 14 of the outermost layer, a solder resist 6 and the permanent resist 13 are omissible. For this reason, while being able to simplify the configuration of a multilayer printed wiring board 22, the flat outside surface suitable for component mounting can be obtained. And when the above configurations are taken, the whole outside surface of a multilayer printed wiring board 22 can be used as area for the surface mounts of components.

[0066] And there is an advantage that homogeneity can be filled up with the hole 24 for the Bahia hall formation formed in the layer insulation layer 10 by the side of an outer layer as it is the restoration approach by the above non-electrolytic copper plating. As a result, the desired Bahia hall 23 will be obtained comparatively simply. In addition, according to this approach, the copper-plating layer 25 can be deposited by using the plating film 8 as a nucleus. Therefore, there is an advantage that the catalyst nucleus for the deposit of the beginning of non-electrolytic copper plating becomes unnecessary. Of course, also in this case, since the plating film 8 exists, the dissolution of the resin under copper paste 7 located in the bottom of it is prevented.

[Example 4] The multilayer printed wiring board 27 of an example 4 is shown in drawing 11.

[0067] This multilayer printed wiring board 27 fills up crevice 16a of the Bahia hall 16 belonging to the layer insulation layer 10 by the side of an outer layer with the copper paste 7 as well as the multilayer printed wiring board 20 of an example 2. However, in this multilayer printed wiring board 27, the point without the conductor pattern 14 and solder resist 6 of the ** outermost layer and the point that there is no land in ** plating through hole 28 are different.

[0068] Therefore, in the case of the example 3 which takes the above configurations, only a part without a land has the advantage that the wiring area on a base material 2 increases in the plating through hole 28. Therefore, it is very convenient, when a wiring layer can be independently formed on a base material 2 and a miniaturization and densification of a multilayer printed wiring board 27 are promoted further. Moreover, according to this configuration, since the formation of a ** pitch of the plating through hole 28 is also possible, there is an advantage that overall miniaturization can be attained.

[0069] Furthermore, according to the configuration of the example 4 which does not form the conductor pattern 14 of the outermost layer, since a solder resist 6 is omissible, the flat outside surface which could

simplify the configuration and was suitable for component mounting can be obtained. And when the above configurations are taken, the whole outside surface of a multilayer printed wiring board 22 can be used as area for the surface mounts of components.

[Example 5] In the example 5, the multilayer printed wiring board 1 of the almost same configuration as an example 1 is manufactured by somewhat different approach. Here, the procedure of the different part is mainly explained.

[0070] As first shown in drawing 5 according to the manufacture procedure of an example 1, it carries out to the process which forms the layer insulation layer 9 by the side of the inner layer which has the hole 19 for the Bahia hall formation which is opening. Next, sputtering is performed, without performing roughening processing. By this sputtering, the spatter film 8 as a metal membrane is formed all over the layer insulation layer 9 by the side of a inner layer.

[0071] In this case, as for especially the thickness of the spatter film 8 formed, it is good that it is [0.05 micrometers – 2.0 micrometers] 0.1 micrometers – 1.0 micrometers. The reason is almost the same as the time of the plating film 8. In addition, in this example, it is supposed that the spatter film 8 which consists of copper with a thickness of 0.1 micrometers is formed.

[0072] Next, plating resist is formed in the predetermined part of said spatter film 8, and electrolytic copper plating is performed. then, the flash plate after exfoliating said plating resist — dirty therefore, only the unnecessary part of the spatter film 8 is removed. Then, it becomes a configuration (namely, configuration in which the permanent resist 11 does not exist) near drawing 6 . Then, according to the procedure of an example 1, it carries out to a final process.

[0073] Even if it is the manufacture approach of the above examples 5, the operation effectiveness equivalent to said example 1 can be acquired. That is, it is because the copper paste 7 is no longer directly exposed to plating liquid by having formed the spatter film 8. Since the spatter film 8 which consists of copper with a thickness of 0.1 micrometers is especially made into the metal membrane in the case of this manufacture approach, positive dissolution prevention can be aimed at without causing long time-ization of a production process. And in the case of this approach, there is also a merit that the usual roughening down stream processing becomes unnecessary.

[0074] In addition, it is not limited only to the above-mentioned example and this invention can be changed into the following configurations. For example, the filler for being filled up with (a) cavernous section 5a or Crevices 15a and 16a is not limited to the copper paste 7. For example, you may be the paste material containing a tungsten, molybdenum, niobium, a tantalum, gold, silver, etc., i.e., the conductive matter containing metals other than copper. In this case, when facilities, such as soldering, etc. are taken into consideration, it is desirable to choose the metal which has the melting point more than the melting point of the solder used at least. Moreover, if cost nature, conductivity, etc. are taken into consideration, the result that a copper paste 7 like each example is especially desirable will be brought.

[0075] Moreover, the approach of inserting a metal pin, a metal plug, etc. may be adopted as an approach of replacing with restoration of copper paste 7 grade. Furthermore, when carrying out hole plugging of the cavernous section 5a of the plating through hole 5 by copper paste 7 grade, a pin, etc., it is not necessarily required that cavernous section 5a should be buried completely. That is, it will be said that it is sufficient if the closure of the both ends of the plating through hole 5 is carried out at least.

[0076] Furthermore, a filler is not necessarily restricted to the conductive matter. For example, you may be the conventionally well-known non-conductive matter like the resin for forming a solder resist, a layer insulation layer, etc. In this case, the optimum range of the thickness of the metal membrane (plating film) 8 which should be formed is 5 micrometers – 30 micrometers. It is because there is a possibility that it may become impossible to fully secure a flow when a metal membrane 8 is too thin. Moreover, when a metal membrane 8 is too thick, a plating process long-duration-izes and it is because there is a possibility of having a bad influence on the resin which is a filler.

(b) A base material 2 may be the multilayer board which is not limited to a double-sided plate, for example, was produced by the mass lamination method. Moreover, a base material 2 is not necessarily limited to the substrate which used resin as the principal member. As the substitute, what used metals, such as copper, aluminum, and iron, as the principal member may be used. If this kind of metal base material is chosen, the multilayer printed wiring board excellent in heat dissipation nature is realizable. For this reason, it is convenient when it mounts much big chips of calorific value.

[0077] (c) The adhesives for forming the layer insulation layers 9 and 10 by the side of a inner layer and an outer layer may not necessarily be photosensitive epoxy, for example, can also be replaced with photosensitive polyimide etc. Moreover, approaches other than exposure / development may be chosen as the applied layer insulation layer like the exposure of for example, laser light as a means to form the hole

19 for the Bahia hall formation.

[0078] (d) When not forming the conductor pattern 14 of the outermost layer in the layer insulation layer 10 by the side of an outer layer, it is also possible to use an ingredient for example, without a resin filler. (e), of course, a wiring layer 3 may be only one side of a base material 2. Moreover, it is also possible to consider a wiring layer 3 as the configuration multilayered further if needed.

[0079] (f) It is not necessary to necessarily make the Bahia halls 15 and 16 into a cross-section approximate circle configuration like an example 1 and 2 grades for example, and they are good as for shape of a cross-section elliptical or a cross-section rectangle etc. Moreover, it is also possible to, make said Bahia halls 15 and 16 into a groove etc. on the whole. In addition, as an approach of forming the Bahia hall of the above non-circle configurations, the approach by exposure and development of a photopolymer is extremely suitable.

[0080] (g) for example, the conductor which comes to arrange the plating through hole 5 and the Bahia halls 15 and 16 on about 1 straight line — it is also possible to use a part as a heat dissipation path which connects the exoergic components by the side of a component side etc. and the heat sink by the side of a non-component side. Since exoergic components and a heat sink are connectable by low-ferver resistance and the minimum distance in it being such a configuration, there is an advantage that heat dissipation effectiveness becomes high.

[0081] (h) After being filled up with the copper paste 7 to the crevices 15a and 16a of the Bahia halls 15 and 16, it is good to perform surface polish. If such surface polish is performed, the end face by the side of opening of the Bahia halls 15 and 16 can be further made into flatness. In addition, it is suitable to perform surface polish, when filled up with the copper paste 7, without using a metal mask.

[0082] (i) It is good also as what replaces with the Bahia hall 23 equipped with the mushroom mold bump 25 like an example 3, for example, is equipped with a straight Wall mold bump. In this case, what is necessary is just to exfoliate that plating resist, after performing non-electrolytic copper plating, where plating resist of predetermined thickness is formed on the layer insulation layer 10 by the side of an outer layer.

[0083] (j) As a metal which forms the plating film 8 and the spatter film 8, metals other than copper, such as gold, nickel, aluminum, and chromium, may be used. However, copper has the merit of it being comparatively cheap and moreover excelling in conductivity, also among these metals.

[0084] Here, the technical thought grasped by the example and example of another which were mentioned above is enumerated below with the effectiveness besides the technical thought indicated by the claim.

(1) The multilayer printed wiring board obtained by the manufacture approach of claims 1-5. It becomes what was excellent in pattern dimensional accuracy, dependability, etc. in it being this configuration.

[0085] Next, terminology ** used into this specification is defined as follows.

“** metal membrane When : filler is the conductive matter The 1 micrometer – about 7 micrometers thin copper-plating film formed by electrolysis plating or nonelectrolytic plating, Various metal plating film, such as nickel-plating film, gilding film, aluminum plating film, and chrome plating film, Or 0.05 micrometers – about 2 micrometers very thin copper spatter film, nickel spatter film, Say various metal spatter film, such as golden spatter film, aluminum spatter film, and chromium spatter film, etc., and when a filler is the non-conductive matter further various metal plating film, such as 5 micrometers – about 30 micrometers copper-plating film formed by electrolysis plating or nonelectrolytic plating, nickel-plating film, gilding film, aluminum plating film, and chrome plating film, is said.”

[0086]

[Effect of the Invention] As explained in full detail above, according to the manufacture approach of a multilayer printed wiring board according to claim 1 to 5, improvement in the connection dependability by the improvement of improvement in a wiring degree of freedom, the improvement in the formation precision of a conductor pattern, roughening-proof acidity or alkalinity, plating-proof acidity or alkalinity, etc., etc. can be aimed at certainly. Since positive dissolution prevention can be aimed at especially according to invention according to claim 3 to 5, without causing long time-ization of a production process, high cost-ization can be prevented though improvement in much more connection dependability is aimed at.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] the multilayer printed wiring board of an example 1 is shown -- it is a fracture outline sectional view a part.

[Drawing 2] similarly in the production process, the condition of having performed panel plating to copper clad laminate is shown -- it is a fracture outline sectional view a part.

[Drawing 3] similarly in the production process, the condition that the cavernous section of a plating through hole was filled up with the copper paste is shown -- it is a fracture outline sectional view a part.

[Drawing 4] similarly in the production process, the condition that the plating film was formed on the copper paste is shown -- it is a fracture outline sectional view a part.

[Drawing 5] the condition that the layer insulation layer by the side of the inner layer which has a hole for the Bahia hall formation was similarly formed in the production process is shown -- it is a fracture outline sectional view a part.

[Drawing 6] the condition of having arranged the permanent resist and similarly having performed non-electrolytic copper plating in the production process is shown -- it is a fracture outline sectional view a part.

[Drawing 7] the condition that the plating film was similarly further formed in the production process on the copper paste with which the crevice of the Bahia hall was filled up is shown -- it is a fracture outline sectional view a part.

[Drawing 8] the condition that the layer insulation layer by the side of the outer layer which has the Bahia hall was similarly formed in the production process is shown -- it is a fracture outline sectional view a part.

[Drawing 9] the multilayer printed wiring board of an example 2 is shown -- it is a fracture outline sectional view a part.

[Drawing 10] the multilayer printed wiring board of an example 3 is shown -- it is a fracture outline sectional view a part.

[Drawing 11] the multilayer printed wiring board of an example 4 is shown -- it is a fracture outline sectional view a part.

[Drawing 12] (a) - (d) shows the production process of the conventional multilayer printed wiring board -- it is a fracture outline sectional view a part.

[Drawing 13] (a) - (d) shows the production process of the conventional multilayer printed wiring board -- it is a fracture outline sectional view a part.

[Drawing 14] the conventional multilayer printed wiring board is shown -- it is a fracture outline sectional view a part.

[Drawing 15] It is the partial fracture expansion outline top view of the multilayer printed wiring board for explaining the conventional trouble.

[Description of Notations]

1, 20, 22, 27 -- A multilayer printed wiring board, 2 -- 5 A base material, 28 -- Plating through hole, 7 -- The copper paste as a filler, 8 -- Plating film as a metal membrane (or spatter film), 9 [-- Hole for the Bahia hall formation as opening.] -- The layer insulation layer by the side of the inner layer as an insulating layer, 10 -- The layer insulation layer by the side of the outer layer as an insulating layer, 15, 16, 23 -- 19 A closed-end hole (= Bahia hall), 24

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

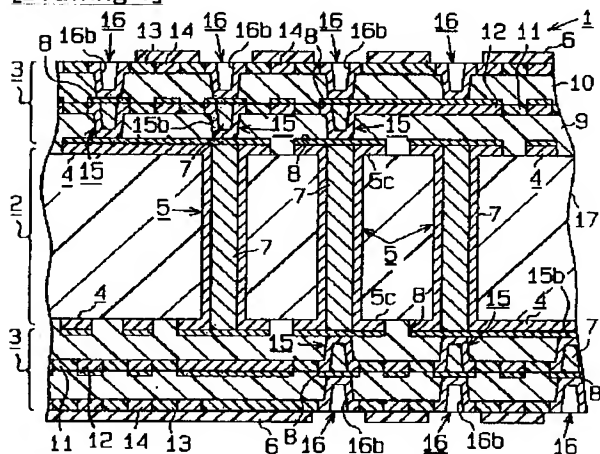
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

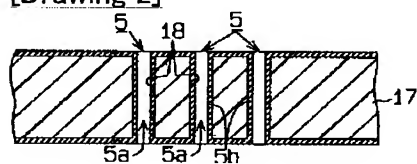
3.In the drawings, any words are not translated.

DRAWINGS

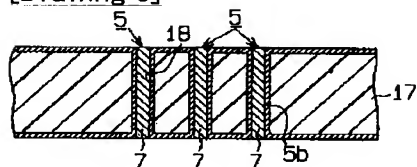
[Drawing 1]



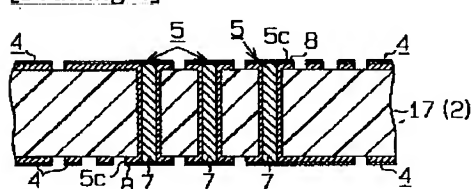
[Drawing 2]



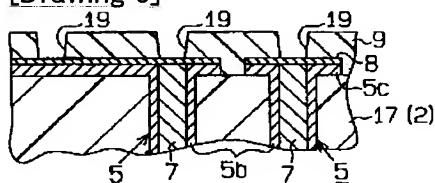
[Drawing 3]



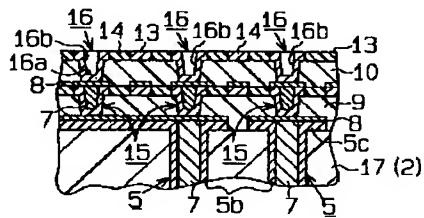
[Drawing 4]



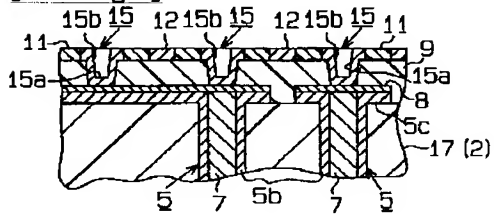
[Drawing 5]



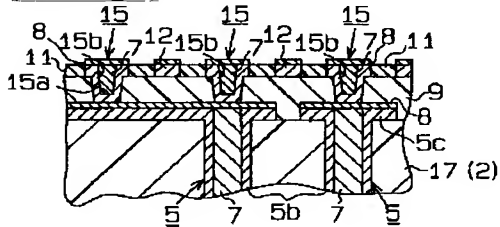
[Drawing 8]



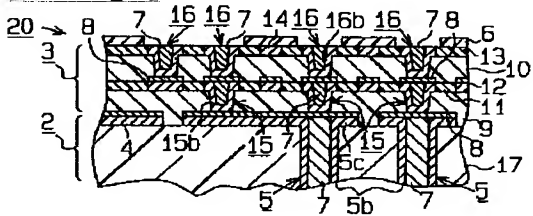
[Drawing 6]



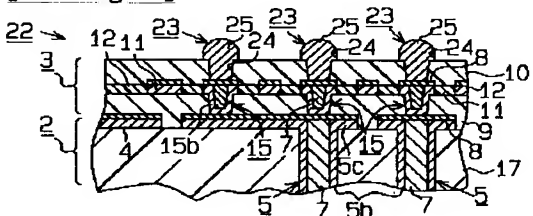
[Drawing 7]



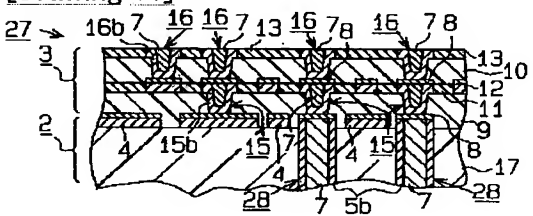
[Drawing 9]



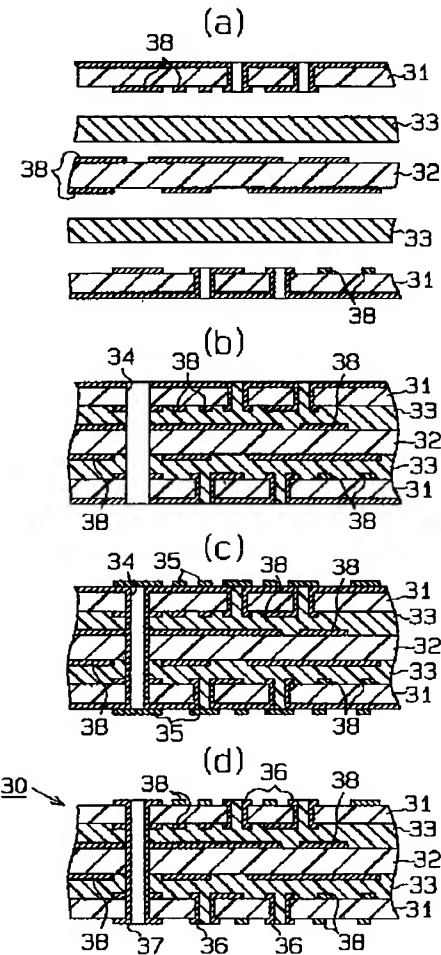
[Drawing 10]



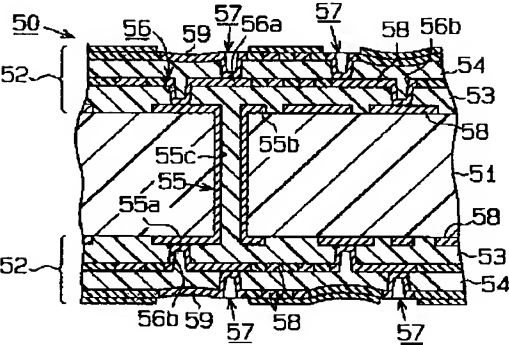
[Drawing 11]



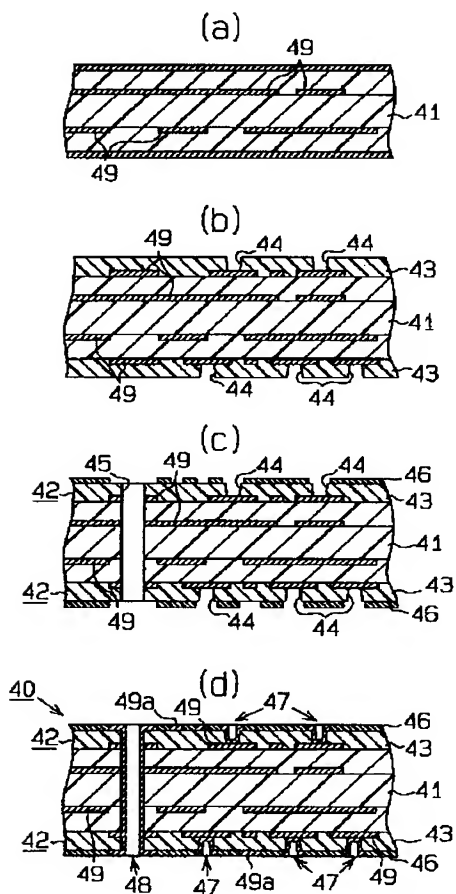
[Drawing 12]



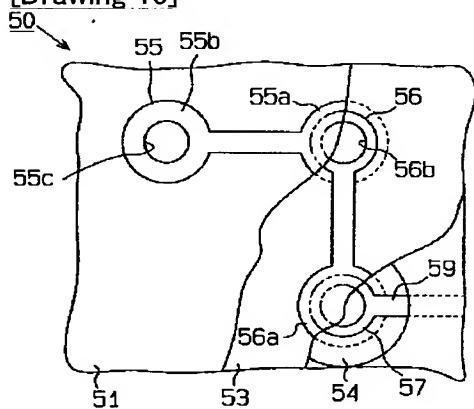
[Drawing 14]



[Drawing 13]



[Drawing 15]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283538

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46	N	6921-4E		
	E	6921-4E		
3/38	A	7011-4E		

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21) 出願番号 特願平6-76203

(22) 出願日 平成6年(1994)4月14日

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 榎本 亮

岐阜県大垣市青柳町300番地 イビデン

株式会社青柳工場内

(72) 発明者 高崎 義徳

岐阜県大垣市青柳町300番地 イビデン

株式会社青柳工場内

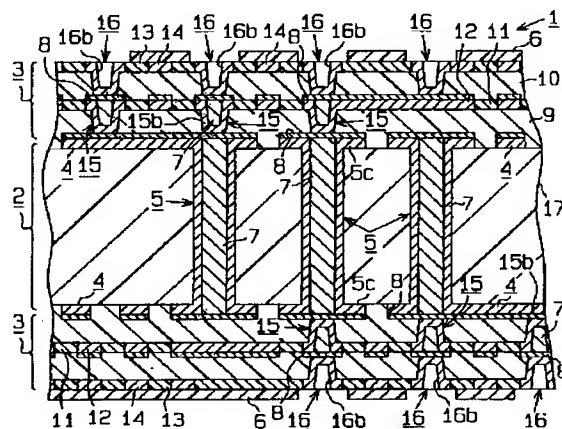
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 多層プリント配線板の製造方法

(57) 【要約】

【目的】 配線自由度の向上、導体パターンの形成精度の向上、及び耐粗化液性等の改善による接続信頼性の向上を確実に図ること。

【構成】 めっきスルーホール5内に導電性物質である銅ペースト7を充填する。銅ペースト7の露出面に金属膜としてのめっき膜8を形成する。めっき膜8を露出する位置に開口部19を有する絶縁層9を、基材2上に形成する。その絶縁層9を化学的に粗化处理する。開口部19に対する無電解めっきを行う。



【特許請求の範囲】

【請求項1】基材を貫通するように形成されためっきスルーホール内に充填材を充填する工程と、前記充填材上に金属膜を形成する工程と、少なくとも前記金属膜上に開口部を有する絶縁層を前記基材上に形成する工程とを行った後、前記絶縁層を化学的に粗化处理する工程及び前記開口部を含む領域にめっきを施す工程のうちの少なくともいずれかを行う多層プリント配線板の製造方法。

【請求項2】絶縁層に形成された有底孔内に充填材を充填する工程と、前記充填材上に金属膜を形成する工程と、少なくとも前記金属膜上に開口部を有する別の絶縁層を前記絶縁層上に形成する工程とを行った後、外層側となる絶縁層を化学的に粗化する工程及び前記開口部を含む領域にめっきを施す工程のうちの少なくともいずれかを行う多層プリント配線板の製造方法。

【請求項3】前記充填材は導電性物質であり、かつ前記金属膜は厚さ1 μ m～7 μ mのめっき膜である請求項1または2に記載の多層プリント配線板の製造方法。

【請求項4】前記充填材は非導電性物質であり、かつ前記金属膜は厚さ5 μ m～30 μ mのめっき膜である請求項1または2に記載の多層プリント配線板の製造方法。

【請求項5】前記充填材は導電性物質であり、かつ前記金属膜は厚さ0.05 μ m～2 μ mのスパッタ膜である請求項1または2に記載の多層プリント配線板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多層プリント配線板の製造方法に関するものである。

【0002】

【従来の技術】大規模かつ高速度のコンピュータシステム等を実現する場合、通常、小型で高速度・高集積のLSIチップ等を使用し、それらを高速化に適した構造にして配線板上に実装することが重要な課題となる。そして、特に近年においては、多層化や導体パターンの細線化等を図ることによって、より高密度実装が可能な配線板を作製することが盛んに試みられている。

【0003】複数層にわたって導体パターンを持つ配線板としては、プラスチック製の基板等を主な素材として用いた多層配線板（いわゆる多層プリント配線板）が従来より良く知られている。現状においては、低コストであるという理由等からこの種の多層プリント配線板が最も普及している。

【0004】また、多層プリント配線板に導体パターンを形成する方法を大別すると、一般的に①サブトラクティブプロセス（Subtractive Process）と②アディティブプロセス（Additive Process）の二つに分類することができる。

【0005】①のサブトラクティブプロセスとは、銅張積層板を素材として使用しかつ表面の銅箔をエッチング

することによって、必要な導体パターンを形成する製造方法である。一方、②のアディティブプロセスとは、銅箔が張りつけられていない基板を使用しかつ主として無電解めっきによって、必要な部分に導体パターンを形成する製造方法である。

【0006】ここで、両プロセスのいずれかによって作製される従来の多層プリント配線板を、その製造工程と共に各図面をもとに具体的に説明する。図12（d）には、サブトラクティブプロセスによる多層プリント配線板（6層板）30が示されている。この多層プリント配線板30は、次のような手順を経て作製される。

【0007】まず、2枚の外層用の銅張積層板31と1枚の内層用の銅張積層板32とをそれぞれ用意する。次に外層用の銅張積層板31にバイアホール形成用孔を形成した後、無電解及び電解銅パネルめっき及び内層パターンエッチングを行う。内層用の銅張積層板32についてはバイアホール形成用孔を形成せずに、内層パターンエッチングのみを行う。次に、図12（a）に示されるように、外層用の銅張積層板31、プリプレグ33、内層用の銅張積層板32、プリプレグ33、外層用の銅張積層板31の順に重ね合わせて積層プレスする。次に、図12（b）に示されるように、ドリル加工等によってスルーホール形成用孔34を透設する。ここで無電解及び電解銅パネルめっき及びスルーホールめっきを行った後、図12（c）に示されるように最外層にエッチングレジスト35を形成する。最後に外層パターンエッチングを行った後、エッチングレジスト35を剥離する。

【0008】以上の工程を経て、バイアホール36及びめっきスルーホール37によって各層の導体パターン38が接続された多層プリント配線板30が作製される。図13（d）には、アディティブプロセスによって作製される多層プリント配線板（6層板）40が示されている。この多層プリント配線板40は図12の多層プリント配線板30とは異なり、銅張積層板41の両面に配線層42を備えている。その作製手順は以下の通りである。

【0009】まず、図13（a）に示されるように、例えばマスキング方式によって作製された銅張積層板41を用意する。次に、内層パターンエッチングを行った後、両面に感光性樹脂を用いて層間絶縁層43を形成する。そして、露光・現像を行うことによって、図13（b）に示されるように層間絶縁層43にバイアホール形成用孔44を形成する。次に粗化、スルーホール形成用孔45の透設及び触媒核付与を行った後、図13（c）に示されるように最外層に永久レジスト46を形成する。最後に無電解銅パターンめっきを行うことによって、スルーホール形成用孔45の内壁面等に銅めっきを析出させる。以上の工程を経て、バイアホール47及びめっきスルーホール48によって各層の導体パターン49、49aが接続された多層プリント配線板40が作

製される。

【0010】なお、アディティブプロセスによって形成される導体パターン49aは、高精度かつファインなものになるという特徴がある。よって、このプロセスを経て形成される多層プリント配線板40は、サブトラクティブプロセスによるものに比較して高密度化に適しているということができる。

【0011】図14にも、同様にアディティブプロセスによる多層プリント配線板(6層板)50が示されている。この多層プリント配線板50も、銅張積層板51の両面に配線層52を備えるものである。しかし、各配線層52が二層の層間絶縁層53、54によって構成されている点や、めっきスルーホール55が完全に埋設されている点などが相違している。なお、各層の導体パターン58、59はバイアホール56、57及びめっきスルーホール55によって接続されている。また、この多層プリント配線板50では、肉厚になった銅張積層板に対するスルーホール形成用孔等の形成が行われないという特徴もある。

【0012】つまり、上記の構成からも明らかなように、この多層プリント配線板50によれば、全体の肉薄化及び導体パターン58、59のファイン化を更に推進することが可能なものとなっている。従って、図14のタイプの構成が最も高密度化や小型化等に適していると考えられている。

【0013】

【発明が解決しようとする課題】ところが、図14に示される従来の多層プリント配線板50には以下に述べるような問題がある。

【0014】前述したように、多層プリント配線板50の各層の導体パターン58、59は、導体によって電気的に接続されている必要がある。ここで図14及び図15に基づき、バイアホール56、57及びめっきスルーホール55による接続の様子について説明する。

【0015】めっきスルーホール55のランド55bの一部には、円形状をした接続用パッド55aが形成されている。その接続用パッド55a上には、内層側の層間絶縁層53に属するバイアホール56が接続されている。前記バイアホール56は、内層側の層間絶縁層53上に形成された接続用パッド56aに接続されている。そして、その接続用パッド56a上には、外層側の層間絶縁層54に属するバイアホール57が接続されている。つまり、従来においては、めっきスルーホール55の上部やバイアホール56の上部(即ち、軸線上となる位置)を避けて接続用パッド55a、56aを配置することが要求されることになる。

【0016】しかし、上記のような配置にすると、導体パターン58の配線に利用できるエリアが相対的に減少することになるため、配線自由度の低下が避けられない。よって、多層プリント配線板50の小型化や高密度

化を十分に達成することができない。

【0017】また、図14の多層プリント配線板50の場合、めっきスルーホール55に空洞部55cがあったり、内層側の層間絶縁層53に属するバイアホール56に凹部56bがあるため、最外層の導体パターン59に凹凸ができ易いという問題がある。このように導体の形成精度が悪い場合、仮にその導体パターン59がボンディングパッドであるとする、凹凸の存在によってワイヤボンディング精度が悪化する。その結果、多層プリント配線板50に対するLSIチップやパッケージ等の実装が困難になる。

【0018】更に、図14のプリント配線板50において、仮に貫通孔や有底孔に充填材等を充填しようとする、以下のような問題が生じる。即ち、絶縁層形成後に実施される粗化処理工程のとき、粗化液(クロム酸、クロム硫酸、過マンガン酸等)に晒されることによって、使用される充填材の選定によっては充填材中の樹脂が溶解してしまう。このため、例えば充填材部分と他の金属部分との間の接続信頼性が悪くなってしまうおそれがある。また、粗化処理工程後に実施される無電解めっき工程(強アルカリ)によっても、その工程が長時間に及ぶときには前記充填材に悪影響がでやすくなる。そして、この場合にも接続信頼性の悪化につながってしまう。

【0019】本発明は上記の事情に鑑みてなされたものであり、その目的は、配線自由度の向上、導体パターンの形成精度の向上、及び耐粗化液性や耐めっき液性等の改善による接続信頼性の向上を確実に図ることができる多層プリント配線板の製造方法を提供することにある。

【0020】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明では、基材を貫通するように形成されためっきスルーホール内に充填材を充填する工程と、前記充填材上に金属膜を形成する工程と、少なくとも前記金属膜上に開口部を有する絶縁層を前記基材上に形成する工程とを行った後、前記絶縁層を化学的に粗化処理する工程及び前記開口部を含む領域にめっきを施す工程のうちの少なくともいずれかを行う多層プリント配線板の製造方法をその要旨としている。

【0021】請求項2に記載の発明では、絶縁層に形成された有底孔内に充填材を充填する工程と、前記充填材上に金属膜を形成する工程と、少なくとも前記金属膜上に開口部を有する別の絶縁層を前記絶縁層上に形成する工程とを行った後、外層側となる絶縁層を化学的に粗化する工程及び前記開口部を含む領域にめっきを施す工程のうちの少なくともいずれかを行う多層プリント配線板の製造方法をその要旨としている。

【0022】請求項3に記載の発明では、請求項1または2において、前記充填材は導電性物質であり、かつ前記金属膜は厚さ1 μ m \sim 7 μ mのめっき膜であるとしている。請求項4に記載の発明では、請求項1または2に

において、前記充填材は非導電性物質であり、かつ前記金属膜は厚さ $5\mu\text{m} \sim 30\mu\text{m}$ のめっき膜であるとしている。請求項 5 に記載の発明では、請求項 1 または 2 において、前記充填材は導電性物質であり、かつ前記金属膜は厚さ $0.05\mu\text{m} \sim 2\mu\text{m}$ のスパッタ膜であるとしている。

【0023】

【作用】請求項 1 に記載の発明によると、めっきスルーホール内から露出している充填材が金属膜によって保護された状態で粗化処理工程やめっき工程が行われるため、充填材が粗化液やめっき液に直接晒されることがない。従って、粗化液やめっき液による充填材中の樹脂の溶解が防止される。

【0024】また、この発明によると、充填材の充填によってめっきスルーホールの端面が平坦化されるため、その部分を接続用パッドとして使用することができる。つまり、めっきスルーホールのほぼ軸線上に有底孔（以下、バイアホールという）の底面を接続することが可能となる。そして、めっきスルーホール側とバイアホール側とが金属膜を介して電氣的に接続可能となり、めっきスルーホールの上部を避けるようにして接続用パッドを配置する必要がなくなる。

【0025】更に、この発明によると、めっきスルーホールの空洞部の存在による絶縁層の落ち込みが防止されるため、めっきスルーホールの上部にあたる部分に形成された導体パターンに凹凸が生じることもない。

【0026】請求項 2 に記載の発明によると、バイアホール内から露出している充填材が金属膜によって保護された状態で粗化処理工程やめっき工程が行われるため、充填材が粗化液やめっき液に直接晒されることがない。従って、粗化液やめっき液による充填材中の樹脂の溶解が防止される。

【0027】また、この発明によると、充填材の充填によってバイアホールの端面が平坦化されるため、その部分を接続用パッドとして使用することができる。つまり、そのバイアホールのほぼ軸線上に別のバイアホールの底面を接続することが可能となる。そして、内外層のバイアホール同士が金属膜を介して電氣的に接続可能となり、内層側のバイアホールの上部を避けるようにして接続用パッドを配置する必要がなくなる。

【0028】更に、この発明によると、下層側のバイアホールの空洞部の存在による絶縁層の落ち込みが防止されるため、同バイアホールの上部にあたる部分に形成された導体パターンに凹凸が生じることもない。

【0029】特に請求項 3～5 に記載の発明によると、充填材を導電性物質または非導電性物質とし、かつ金属膜（めっき膜またはスパッタ膜）の厚さを所定範囲に設定しているため、製造工程の長時間化を招くことなく、確実な溶解防止を図ることができる。

【0030】

【実施例】

〔実施例 1〕以下、本発明を多層プリント配線板の製造方法に具体化した実施例 1 を図 1～図 8 に基づいて詳細に説明する。

【0031】図 1 には、多層プリント配線板 1 が示されている。この多層プリント配線板 1 は、基材 2 の両面に薄膜配線層 3 を備える 6 層板である。基材 2 の両面には導体パターン 4 が形成されている。これらの導体パターン 4 は、基材 2 を貫通するように設けられためっきスルーホール 5 によって接続されている。なお、本実施例のめっきスルーホール 5 は、その両端部に円形状のランド 5c を有している。

【0032】めっきスルーホール 5 を構成している銅めっき層 5b は、その中央部に空洞部 5a を有している。そして、その空洞部 5a には、導電性を有する充填材としての銅ペースト 7 が充填されている。めっきスルーホール 5 の両端面は、銅ペースト 7 が充填されることによって平坦化されている。平坦化されためっきスルーホール 5 の両端面には、金属膜としてのめっき膜 8 が形成されている。つまり、めっきスルーホール 5 から露出している銅ペースト 7 が、めっき膜 8 によって被覆された状態となっている。

【0033】本実施例の多層プリント配線板 1 には、内層側の層間絶縁層 9 及び外層側の層間絶縁層 10 の二層構造からなる配線層 3 が形成されている。内層側の層間絶縁層 9 の表面には永久レジスト 11 が形成されている。内層側の層間絶縁層 9 の表面のうち永久レジスト 11 が形成されていない部分には、導体パターン 12 が形成されている。同様に外層側の層間絶縁層 10 の表面には永久レジスト 13 が形成されている。外層側の層間絶縁層 10 の表面のうち永久レジスト 13 が形成されていない部分には、導体パターン 14 が形成されている。前記導体パターン 14 の一部は、LSI チップ等を表面実装するための接続用パッドとなっている。また、外層側の層間絶縁層 10 の表面は、一部を除いてソルダーレジスト 6 によって被覆されている。なお、説明の便宜上、前記導体パターン 14 のことをこれ以降「最外層の導体パターン 14」と呼ぶことにする。同様に導体パターン 12 のことを「外層の導体パターン 12」と、導体パターン 4 のことを「内層の導体パターン 4」とそれぞれ呼ぶことにする。

【0034】内層側の層間絶縁層 9 には、層間接続用のバイアホール 15 が形成されている。外層側の層間絶縁層 10 にも、同様に層間接続用のバイアホール 16 が形成されている。バイアホール 15、16 を構成している銅めっき層 15b、16b は、その中央部に凹部 15a、16a を有している。そして、内層側の層間絶縁層 9 に属するバイアホール 15 の凹部 15a には、導電性を有する充填材である銅ペースト 7 が充填されている。

【0035】この多層プリント配線板 1 の場合、めっき

スルーホール5の端面から露呈している銅ペースト7に、内層側の層間絶縁層9に属するバイアホール15の底面がめっき膜8を介して電氣的に接続されている。また、バイアホール15の凹部15aに充填された銅ペースト7上には、外層側の層間絶縁層10に属するバイアホール16の底面が同じくめっき膜8を介して電氣的に接続されている。従って、めっきスルーホール5とバイアホール15、16とが、ほぼ一直線上に配置された状態となっている。即ち、この多層プリント配線板1において、銅ペースト7はいわばバイアホール15、16の

ための接続用パッドの役割を果たしている。
【0036】次に、この多層プリント配線板1を製造する手順を図2～図8に基づいて説明する。まず、ガラス布基材エポキシ樹脂を素材とした銅張積層板17を用意し、その銅張積層板17に対してスルーホール形成用孔18を透設する。次に、従来公知の手法に従ってパネルめっき及びスルーホールめっきを行い、スルーホール形成用孔18内に銅めっき層5bを析出させる。その結果、図2に示されるように銅張積層板17にめっきスルーホール5が形成される。なお、本実施例においてスルーホール形成用孔18の内径が約300 μ mに、めっきスルーホール5のランド5c径が約700 μ mに設定されている。

【0037】次に、めっきスルーホール5が形成された銅張積層板17に、各めっきスルーホール5の形成位置と対応する位置に孔を有するメタルマスクを配置する。そして、スキージを移動させることによって、図3に示されるようにめっきスルーホール5の空洞部5aに銅ペースト7を充填する。本実施例では、主成分である銅粉末及び熱硬化性樹脂に少量の溶剤やチクソ剤等を添加した銅ペースト7が使用されている。

【0038】次に充填された銅ペースト7の乾燥を行い、表面をバフ研磨により整面した後、薄付けパネルめっきによって銅張積層板17の両面にめっき膜8を形成する。なお、銅ペースト7を充填する場合、乾燥後における銅ペースト7の露呈面の高さがめっきスルーホール5のランド5c面の高さと同様になることが好ましい。

【0039】金属膜であるめっき膜8を形成する手段としては、電解めっき法や無電解めっき法がある。この場合、形成されるめっき膜8の厚さは1 μ m～7 μ m、更には3 μ m～6 μ m、特には4 μ m～5 μ mであることがよい。めっき膜8が厚くなると、製造時間の短縮化が図れなくなり、コスト高になるおそれがある。一方、めっき膜8が薄すぎると、銅ペースト7を粗化液やソフトエッチング工程から確実に保護することができなくなるおそれがある。なお、本実施例では電解銅めっき法によって、厚さ5 μ mの銅からなるめっき膜8を形成することとしている。

【0040】次にめっき膜8の表面にエッチングレジス

トを形成した後、パターンエッチングを行う。すると、図4に示されるように、所定形状をした内層の導体パターン4が形成される。なお、本実施例では前記内層の導体パターン4が、主として電源層またはグラウンド層として使用される。

【0041】次に、内層の導体パターン4が形成された銅張積層板17の両面に、酸化剤に対して比較的難溶な樹脂マトリックス中に、酸化剤に対して比較的易溶な樹脂フィラーが分散された感光性エポキシ系のアディティブ用接着剤を塗布する。ここで露光・現像を行うことによって、図5に示されるように、開口部としてのバイアホール形成用孔19を有する内層側の層間絶縁層9を形成する。このとき、バイアホール形成用孔19は、銅ペースト7が充填されているめっきスルーホール5の端面に対応して設けられる。

【0042】次に、粗化剤（酸化剤）であるクロム酸を用いて、内層側の層間絶縁層9に対する化学的な粗化処理を行う。その後、触媒核付与、永久レジスト11の形成、めっき前処理及び無電解銅パターンめっきを行う。

【0043】上記のめっき処理を経ると、バイアホール形成用孔19の内壁面や、バイアホール形成用孔19から露呈しているめっき膜8の表面等に銅めっき層15bが析出する。よって、図6に示されるように、内層側の層間絶縁層9に開口径が約100 μ mのバイアホール15が形成される。なお、本実施例では銅めっき層15bの析出厚さが約25 μ mに設定されている。前記バイアホール15のうちめっきスルーホール5の軸線上に配置されたものについては、その底面がめっきスルーホール5の端面に接続された状態となる。また、内層側の層間絶縁層9の表面には、外層の導体パターン12が形成される。

【0044】次に、バイアホール15が形成された内層側の層間絶縁層9の表面に、各バイアホール15の形成位置と対応する位置に孔を有するメタルマスクを配置する。そして、スキージを移動させることによって、バイアホール15の凹部15aに上記の銅ペースト7を充填する。その結果、銅ペースト7の充填によって、バイアホール15の開口側の端面が平坦化された状態となる。このとき、銅ペースト7の露呈面の高さがバイアホール15のランド面の高さと同程度になることが良い。

【0045】次に、充填された銅ペースト7の乾燥を行った後、上述した薄付けパネルめっきによって、前記バイアホール15内の銅ペースト7上にも、図7に示されるような金属膜としてのめっき膜8を形成する。この場合、めっき膜8を形成する手段としては、電解めっき法や無電解めっき法がある。形成されるめっき膜8の厚さは1 μ m～7 μ m、更には3 μ m～6 μ m、特には4 μ m～5 μ mであることがよい。その理由は上記の通りである。本実施例では、めっきスルーホール5のときと同じく、電解銅めっき法によって厚さ5 μ mの銅からなる

めっき膜 8 を形成することとしている。

【0046】次に、上述した内層側の層間絶縁層 9 の形成手順に従って、外層側の層間絶縁層 10 を形成する。このとき、露光・現像を行うことによって、銅ペースト 7 が充填されているバイアホール 15 の端面に対応して、開口部としてのバイアホール形成用孔が設けられる。続いて外層側の層間絶縁層 10 に対する化学的な粗化処理及び触媒核付与を行った後、永久レジスト 13 の形成、めっき前処理及び無電解銅パターンめっきを行

う。上記のめっき処理を経ると、バイアホール形成用孔の内壁面や、凹部 16 a 内の銅ペースト 7 の表面等に銅めっき層 16 b が析出する。よって、図 8 に示されるように、外層側の層間絶縁層 10 に開口径が約 100 μm のバイアホール 16 が形成される。

【0047】前記バイアホール 16 のうち内層側の層間絶縁層 9 に属するバイアホール 15 の軸線上に配置されたものについては、その底面が同バイアホール 15 の端面に接続された状態となる。また、外層側の層間絶縁層 10 の表面には、最外層の導体パターン 14 が形成される。更に、最外層の導体パターン 14 はソルダーレジスト 6 によって被覆される。なお、本実施例ではリキッドフォトリソルダーレジストが使用されている。一方、外層側の層間絶縁層 10 に属するバイアホール 16 は、前記ソルダーレジスト 6 から露呈している。即ち、この多層プリント配線板 1 において前記バイアホール 16 は、例えば LSI チップ等のリードやバンプなどを接合するための外部接続端子として使用されるようになっている。

【0048】さて、以上のような本実施例の多層プリント配線板 1 の製造方法の作用効果について説明する。この製造方法によると、めっきスルーホール 5 やバイアホール 15 の端面から露出している銅ペースト 7 は、粗化処理工程を行う前に、予めめっき膜 8 によって保護される。そして、この状態で粗化処理工程が行われるため、銅ペースト 7 が粗化液に直接晒されることがない。従って、粗化液による銅ペースト 7 中の樹脂の溶解を防止することができる。このため、銅ペースト 7 の露出面に凹凸等が少なくなり、銅ペースト 7 部分とその上部に形成される銅めっき層 15 b、16 b との接続状態が確実に向上する。この結果、接続信頼性に優れた多層プリント配線板 1 が得られることとなる。

【0049】また、この製造方法では、上記のように予めめっき膜 8 によって保護された状態で、バイアホール 15、16 を形成するための無電解銅めっき工程が行われる。このため、数時間という長い時間にわたって実施される無電解銅めっき工程を経たときであっても、銅ペースト 7 がめっき液に直接晒されることがなく、銅ペースト 7 に特に悪影響がでるということはない。

【0050】更に、この製造方法によると、銅ペースト 7 の充填によってめっきスルーホール 5 の端面が平坦化されるため、その部分を接続用パッドとして使用するこ

とができる。つまり、めっきスルーホール 5 のほぼ軸線上にバイアホール 15 の底面を接続することが可能となる。同様に、銅ペースト 7 の充填によってバイアホール 15 の端面が平坦化されるため、その部分についても接続用パッドとして使用することができる。即ち、そのバイアホール 15 のほぼ軸線上に別のバイアホール 16 の底面を接続することも可能となる。

【0051】そして、めっきスルーホール 5 側とバイアホール 15 側、及びバイアホール 15、16 側同士がめっき膜 8 を介して電氣的に接続可能となる。ゆえに、めっきスルーホール 5 の上部や内層側のバイアホール 15 の上部を避けるようにして接続用パッドを配置する必要がなくなる。

【0052】以上のことから明らかなように、本実施例の多層プリント配線板 1 の場合、めっきスルーホール 5 とバイアホール 15、16 とがほぼ一直線上に配列された状態となっている。それゆえ、この多層プリント配線板 1 にあっては、従来の多層プリント配線板と比較して、導体パターン 4、12、14 の配線に利用できるエリアが相対的に大きくなっている。また、配線エリアの増加に伴って配線自由度も格段に向上することになり、もって多層プリント配線板 1 の小型化や高密度化を十分に達成することが可能となる。加えて、設計自由度が向上する結果、配線の完全自動化を行ううえで極めて好都合になる。そして、このような配線の完全自動化が実現されることによって、設計期間の短縮化やコストダウン等が達成されることになる。

【0053】更に、この発明によると、めっきスルーホール 5 の空洞部 5 a の存在による内層側の層間絶縁層 9 の落ち込みが防止される。このため、めっきスルーホール 5 の上部にあたる部分に形成された外層の導体パターン 12 に凹凸が生じることがない。同様に、内層側のバイアホール 15 の空洞部の存在による外層側の層間絶縁層 10 の落ち込みが防止されるため、同バイアホール 15 の上部にあたる部分に形成された最外層の導体パターン 14 に凹凸が生じることもない。

【0054】以上のことから明らかなように、めっきスルーホール 5 やバイアホール 15 のほぼ軸線上に形成された外層の導体パターン 12 や最外層の導体パターン 14 に凹凸が生じることがない。従って、本実施例の多層プリント配線板 1 は、極めて寸法精度に優れた導体パターン 12、14 を有するものとなる。このため、仮に最外層の導体パターン 14 の一部をボンディングパッドとしたときでも、精度良くワイヤボンディングを行うことができる。しかも、上記の構成であると、外層側の層間絶縁層 10 の平坦性も改善されるため、多層プリント配線板 1 へ IC チップや LSI チップ等を表面実装する際に極めて好都合になる。

【0055】また、この製造方法の場合、厚さ 5 μm の銅からなるめっき膜 8 を金属膜としているため、製造工

程の長時間化を招くことなく確実な溶解防止を図ることができる。なお、この程度の厚さのめっき膜8であれば、自身のめっき工程の際に銅ペースト7中の樹脂の溶解を伴うこともない。勿論、前記めっき膜8には形成が容易でありかつ低コストであるという利点もある。

【0056】更に、本実施例では、銅粉末を主成分として含む銅ペースト7を充填材として使用しているため、充填作業に時間がかからない。ゆえに、無電解めっきによって充填材を充填する従来方法（例えば、従来公知のフィールド・ビアの形成方法等）に比べて、製造工程的にもコスト的にも有利になる。特に、本実施例のような銅ペースト7を用いた充填方法によると、接着剤の二度塗りや研磨加工による面出し等が必ずしも必要とはされなくなる。このため、従来におけるフィールド・ビアの形成方法よりも優れたものとなっている。

【0057】そして、本実施例の多層プリント配線板1では、めっきスルーホール5が配線層3下に完全に埋設された状態となっている。従って、貫通しためっきスルーホール5を有する従来の多層プリント配線板とは異なり、パッケージを構成したときの封止性や気密性が良くなるという利点がある。そして、この構成によると、基材2となる銅張積層板17のみにスルーホール形成用孔18を透設するだけで足りる。よって、スルーホール形成用孔18ばかりでなくバイアホール形成用孔の加工が必要な従来の多層プリント配線板とは異なり、加工コストが安くなる。

【0058】また、本実施例の多層プリント配線板1によると、めっきスルーホール5の空洞部5aに銅ペースト7が完全に充填される結果、めっきスルーホール5の内部に気泡が全く残留しなくなる。従って、内部の気泡に起因してクラックが発生するおそれなくなり、多層プリント配線板1の耐熱性が向上する。

【実施例2】図9には実施例2の多層プリント配線板20が示されている。この多層プリント配線板20は、実施例1の多層プリント配線板1におけるバイアホール16の凹部16aを銅ペースト7で充填したことを特徴としている。そして、更に実施例1において行ったと同様に、めっき膜8（図示略）を形成することが好ましい。ゆえに、実施例2の多層プリント配線板20では、バイアホール16の開口側の端面がほぼ平坦化された状態となっている。

【0059】この構成であると、例えばバイアホール16の開口部側の端面を表面実装の接続用パッドとして使用する場合、同端面が平坦でないときよりもLSIチップやパッケージ等のリードやパンプなどの接合が容易になる。つまり、前記開口側の端面に凹部16aがなくなることによって、ワイヤボンディングがより容易に実施できるようになるからである。なお、はんだ付けによってリード等の接続を行う場合には、はんだ供給量が少なくて済むという利点もある。

【実施例3】図10には実施例3の多層プリント配線板22が示されている。この多層プリント配線板22は、実施例1の多層プリント配線板1と同じく、基材2の両面に配線層3を備える6層板である。但し、この多層プリント配線板22では、配線層3を構成している内層側の層間絶縁層9よりも外層となる部分の構成に相違点がある。よって、ここでは相違点に関する構成を中心として説明することとし、共通点に関する構成については説明を省略する。

【0060】図10に示されるように、外層側の層間絶縁層10には、実施例1のバイアホール16とは異なるバイアホール23が形成されている。つまり、このバイアホール23は、バイアホール形成用孔24内にいわゆるマッシュルーム状の銅めっき層（即ち、マッシュルーム型パンプ）25を有したものとなっている。従って、このバイアホール23は、開口部側に凹部16aを持たずしかも外層側の層間絶縁層10の表面よりもいくぶん突出したものとなっている。

【0061】また、この多層プリント配線板22では、外層側の層間絶縁層10の表面に最外層の導体パターン14が形成されていないことが特徴的である。よって、この多層プリント配線板22は、実施例1、2とは異なり、永久レジスト13もソルダーレジスト6も備えないものとなっている。

【0062】ここで実施例3の多層プリント配線板22を製造する手順を説明する。まず銅張積層板17を出発材料として用い、実施例1の方法に準じて、内層側の層間絶縁層9に属するバイアホール15を形成する工程まで実施する。バイアホール15の端面には、厚さ5 μ mの銅からなるめっき膜8が形成されている。次に内層側の層間絶縁層9の表面に、感光性エポキシ系の接着剤を塗布することによって、外層側の層間絶縁層10を形成する。次に露光・現像を行うことによって、外層側の層間絶縁層10に開口部としてのバイアホール形成用孔24を形成する。続いて、無電解銅めっき浴を用いて、所定時間のあいだ無電解めっきを行う。すると、バイアホール形成用孔24から露呈しためっき膜8のみを核として、銅めっきが析出し始める。そして、銅めっきによってバイアホール形成用孔24が充填され、最終的には図10に示されるようなマッシュルーム型パンプ25が形成される。

【0063】さて、実施例3の多層プリント配線板22によると、外部接続端子であるバイアホール23の開口部側の端面が外層側の層間絶縁層10から隆起した状態となっている。従って、前記実施例2のときと同じく、LSIチップやパッケージ等のリードやパンプなどの接合が更に容易になる。

【0064】また、この多層プリント配線板22を用いてパッケージを構成すると、マッシュルーム型パンプ25を外部接続端子として、同パッケージをマザーボード

へ容易に実装することが可能となる。

【0065】更に、最外層の導体パターン14を設けない実施例3の構成によると、ソルダーレジスト6や永久レジスト13を省略することができる。このため、多層プリント配線板22の構成を簡単にすることができると共に、部品実装に適したフラットな外表面を得ることができる。そして、上記のような構成を採った場合、多層プリント配線板22の外表面全体を部品の表面実装用のエリアとして利用することができる。

【0066】そして、上記のような無電解銅めっきによる充填方法であると、外層側の層間絶縁層10に形成されたパイアホール形成用孔24を均一に充填することができるという利点がある。結果として、所望のパイアホール23が比較的簡単に得られることとなる。なお、この方法によるとめっき膜8を核として銅めっき層25を析出させることができる。ゆえに、無電解銅めっきの最初の析出のための触媒核が不要になるという利点がある。勿論、この場合においても、めっき膜8が存在していることから、その下に位置する銅ペースト7中の樹脂の溶解が防止される。

〔実施例4〕図11には実施例4の多層プリント配線板27が示されている。

【0067】この多層プリント配線板27は、実施例2の多層プリント配線板20と同じく、外層側の層間絶縁層10に属するパイアホール16の凹部16aに銅ペースト7を充填したものである。但し、この多層プリント配線板27では、①最外層の導体パターン14及びソルダーレジスト6がない点、②めっきスルーホール28にランドがない点が相違している。

【0068】従って、上記のような構成を採る実施例3の場合、めっきスルーホール28にランドがない分だけ、基材2上における配線エリアが増加するという利点がある。よって、基材2上に別に配線層を形成することができ、多層プリント配線板27の小型化及び高密度化を一層推進するうえで極めて好都合である。また、この構成によると、めっきスルーホール28の狭ピッチ化も可能なため、全体的なコンパクト化を図ることができるという利点がある。

【0069】更に、最外層の導体パターン14を設けない実施例4の構成によると、ソルダーレジスト6を省略できるため、構成を簡単にすることができ、かつ部品実装に適したフラットな外表面を得ることができる。そして、上記のような構成を採った場合、多層プリント配線板22の外表面全体を部品の表面実装用のエリアとして利用することができる。

〔実施例5〕実施例5では、実施例1とほぼ同じ構成の多層プリント配線板1を多少異なる方法によって製造している。ここではその異なる部分の手順を主に説明する。

【0070】まず実施例1の製造手順に準じて、図5に

示されるように、開口部であるパイアホール形成用孔19を有する内層側の層間絶縁層9を形成する工程まで実施する。次に、粗化処理を行うことなしにスパッタリングを行う。このスパッタリングによって、内層側の層間絶縁層9の全面に金属膜としてのスパッタ膜8を形成する。

【0071】この場合、形成されるスパッタ膜8の厚さは0.05 μ m～2.0 μ m、特に0.1 μ m～1.0 μ mであることがよい。その理由は、めっき膜8のときとはほぼ同じである。なお、本実施例では厚さ0.1 μ mの銅からなるスパッタ膜8を形成することとしている。

【0072】次に、前記スパッタ膜8の所定部分にめっきレジストを形成し、電気銅めっきを行う。この後、前記めっきレジストを剥離した後、フラッシュエッチによってスパッタ膜8のうちの不必要な部分のみを除去する。すると、図6に近い構成（即ち、永久レジスト11が存在していない構成）になる。この後、実施例1の手順に従って、最終工程まで実施する。

【0073】以上のような実施例5の製造方法であっても、前記実施例1と同等の作用効果を得ることができる。即ち、スパッタ膜8を設けたことによって、銅ペースト7がめっき液に直接晒されなくなるからである。特に、この製造方法の場合、厚さ0.1 μ mの銅からなるスパッタ膜8を金属膜としているため、製造工程の長時間化を招くことなく確実な溶解防止を図ることができる。しかも、この方法の場合、通常の粗化処理工程が不要になるというメリットもある。

【0074】なお、本発明は上記実施例のみに限定されることはなく、次のような構成に変更することが可能である。例えば、

(a) 空洞部5aや凹部15a、16aを充填するための充填材は、銅ペースト7に限定されることはない。例えば、タングステン、モリブデン、ニオブ、タンタル、金、銀などを含むペースト材、即ち銅以外の金属を含む導電性物質であっても良い。この場合、はんだ付け等の便宜等を考慮すると、少なくとも使用されるはんだの融点以上の融点を有する金属を選択することが望ましい。また、コスト性や導電性等を考慮すると、各実施例のような銅ペースト7が特に好ましいという結果になる。

【0075】また、銅ペースト7等の充填に代わる方法として、例えば金属製のピンやプラグ等を挿入するという方法を採用しても良い。更に、銅ペースト7等やピン等によってめっきスルーホール5の空洞部5aを孔埋めする場合、完全に空洞部5aを埋めてしまうことは必ずしも要求されない。つまり、少なくともめっきスルーホール5の両端部が封止されれば足りるということになる。

【0076】更に、充填材は必ずしも導電性物質に限られるわけではない。例えば、ソルダーレジストや層間絶

縁層などを形成するための樹脂のように、従来公知の非導電性物質であってもよい。この場合、形成されるべき金属膜(めっき膜)8の厚さの好適範囲は $5\mu\text{m}\sim 30\mu\text{m}$ である。金属膜8が薄すぎると、導通を十分に確保できなくなるおそれがあるからである。また、金属膜8が厚すぎると、めっき工程が長時間化し、充填材である樹脂に悪影響を及ぼすおそれがあるからである。

(b) 基材2は両面板に限定されることはなく、例えばマスマニケーション方式によって作製された多層板であっても良い。また、基材2は樹脂を主材とした基板に限定されるわけではない。その代わりとして、例えば銅、アルミニウム、鉄等の金属を主材としたものを使用しても良い。この種の金属製基材を選択すると、放熱性に優れた多層プリント配線板を実現することができる。このため、発熱量の大きなチップを多数個実装する場合などに好都合である。

【0077】(c) 内層側及び外層側の層間絶縁層9、10を形成するための接着剤は、必ずしも感光性エポキシでなくても良く、例えば感光性ポリイミド等に代えることも可能である。また、塗布された層間絶縁層にバイアホール形成用孔19を形成する手段として、例えばレーザー光の照射等のように露光・現像以外の方法を選択しても良い。

【0078】(d) 外層側の層間絶縁層10に最外層の導体パターン14を形成しない場合には、例えば樹脂フィラーなしの材料を使用することも可能である。

(e) 勿論、配線層3は基材2の片面のみであっても良い。また、必要に応じて配線層3を更に多層化した構成とすることも可能である。

【0079】(f) バイアホール15、16は、必ずしも実施例1、2等のように断面略円形状にする必要はなく、例えば断面楕円形状や断面矩形状等にしても良い。また、前記バイアホール15、16を全体的に溝状等にすることも可能である。なお、上記のような非円形状のバイアホールを形成する方法としては、感光性樹脂の露光・現像による方法が極めて適している。

【0080】(g) 例えば、めっきスルーホール5とバイアホール15、16とをほぼ一直線上に配置してなる導体部分を、実装面側の発熱部品等と非実装面側のヒートシンクとをつなぐ放熱経路として利用することも可能である。このような構成であると、発熱部品とヒートシンクとを低熱抵抗かつ最短距離で接続することができるため、放熱効率が高くなるという利点がある。

【0081】(h) バイアホール15、16の凹部15a、16aに対して銅ペースト7を充填した後、表面研磨を行うことが良い。このような表面研磨を行うと、バイアホール15、16の開口部側の端面をより一層平坦にすることができる。なお、表面研磨を行うことは、メタルマスクを使用せずに銅ペースト7を充填するとき等において好適である。

【0082】(i) 実施例3のようにマッシュルーム型バンプ25を備えるバイアホール23に代えて、例えばストレートウォール型バンプを備えるものとしても良い。この場合、外層側の層間絶縁層10上に所定の厚さのめっきレジストを形成した状態で無電解銅めっきを行った後、そのめっきレジストを剥離すれば良い。

【0083】(j) めっき膜8やスパッタ膜8を形成する金属として、例えば金、ニッケル、アルミニウム、クロム等の銅以外の金属を使用してもよい。但し、これらの金属のうちでも、銅は比較的安価でしかも導電性に優れるというメリットがある。

【0084】ここで、特許請求の範囲に記載された技術的思想のほかに、前述した実施例及び別例によって把握される技術的思想をその効果とともに以下に列挙する。

(1) 請求項1～5の製造方法によって得られた多層プリント配線板。この構成であると、パターン寸法精度や信頼性等に優れたものとなる。

【0085】次に本明細書中において使用した技術用語①を以下のように定義する。

20 「①金属膜： 充填材が導電性物質のときには、電解めっきまたは無電解めっきによって形成される薄い $1\mu\text{m}\sim 7\mu\text{m}$ 程度の銅めっき膜、ニッケルめっき膜、金めっき膜、アルミニウムめっき膜、クロムめっき膜等の各種金属めっき膜、または $0.05\mu\text{m}\sim 2\mu\text{m}$ 程度の極めて薄い銅スパッタ膜、ニッケルスパッタ膜、金スパッタ膜、アルミニウムスパッタ膜、クロムスパッタ膜等の各種金属スパッタ膜等をいい、更に充填材が非導電性物質のときには、電解めっきまたは無電解めっきによって形成される $5\mu\text{m}\sim 30\mu\text{m}$ 程度の銅めっき膜、ニッケルめっき膜、金めっき膜、アルミニウムめっき膜、クロムめっき膜等の各種金属めっき膜をいう。」

【0086】

30 【発明の効果】以上詳述したように、請求項1～5に記載の多層プリント配線板の製造方法によれば、配線自由度の向上、導体パターンの形成精度の向上、及び耐粗化液性や耐めっき液性等の改善による接続信頼性の向上を確実に図ることができる。特に請求項3～5に記載の発明によれば、製造工程の長時間化を招くことなく確実な溶解防止を図ることができるため、より一層の接続信頼性の向上を図りながらも高コスト化を防止することができる。

【図面の簡単な説明】

【図1】実施例1の多層プリント配線板を示す一部破断概略断面図である。

【図2】同じくその製造工程において、銅張積層板にバネルめっきを行った状態を示す一部破断概略断面図である。

50 【図3】同じくその製造工程において、めっきスルーホールの空洞部に銅ペーストが充填された状態を示す一部破断概略断面図である。

【図 4】同じくその製造工程において、銅ペースト上にめっき膜が形成された状態を示す一部破断概略断面図である。

【図 5】同じくその製造工程において、ビアホール形成用孔を有する内層側の層間絶縁層が形成された状態を示す一部破断概略断面図である。

【図 6】同じくその製造工程において、永久レジストを配置して無電解銅めっきを行った状態を示す一部破断概略断面図である。

【図 7】同じくその製造工程において、ビアホールの凹部に充填された銅ペースト上に更にめっき膜が形成された状態を示す一部破断概略断面図である。

【図 8】同じくその製造工程において、ビアホールを有する外層側の層間絶縁層が形成された状態を示す一部破断概略断面図である。

【図 9】実施例 2 の多層プリント配線板を示す一部破断概略断面図である。

【図 10】実施例 3 の多層プリント配線板を示す一部破断概略断面図である。

10

*

*【図 11】実施例 4 の多層プリント配線板を示す一部破断概略断面図である。

【図 12】(a)～(d) は、従来の多層プリント配線板の製造工程を示す一部破断概略断面図である。

【図 13】(a)～(d) は、従来の多層プリント配線板の製造工程を示す一部破断概略断面図である。

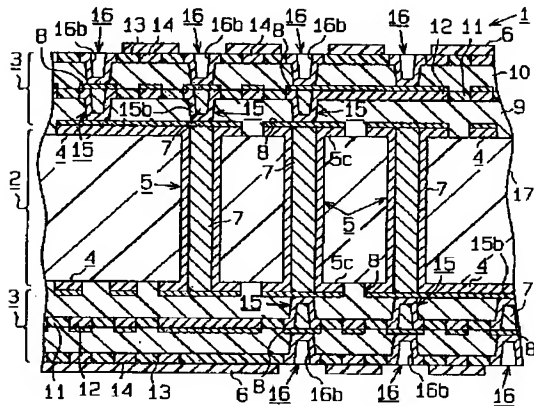
【図 14】従来の多層プリント配線板を示す一部破断概略断面図である。

【図 15】従来の問題点を説明するための多層プリント配線板の部分破断拡大略平面図である。

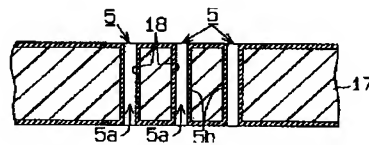
【符号の説明】

1, 20, 22, 27…多層プリント配線板、2…基材、5, 28…めっきスルーホール、7…充填材としての銅ペースト、8…金属膜としてのめっき膜（またはスパッタ膜）、9…絶縁層としての内層側の層間絶縁層、10…絶縁層としての外層側の層間絶縁層、15, 16, 23…有底孔（＝ビアホール）、19, 24…開口部としてのビアホール形成用孔。

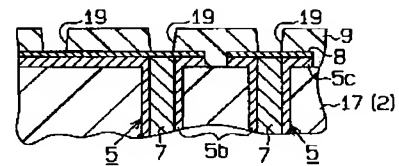
【図 1】



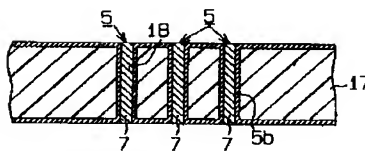
【図 2】



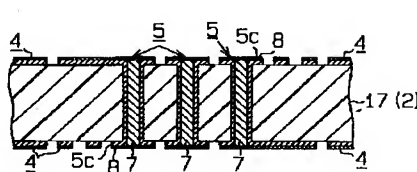
【図 5】



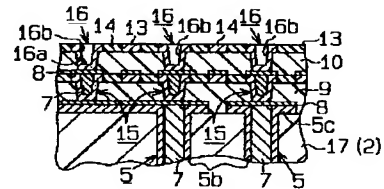
【図 3】



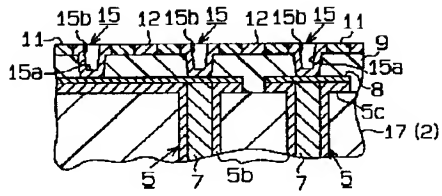
【図 4】



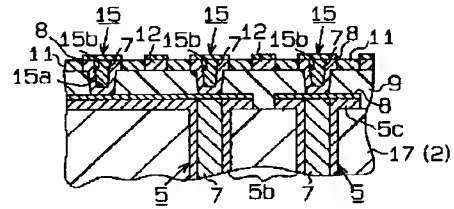
【図 8】



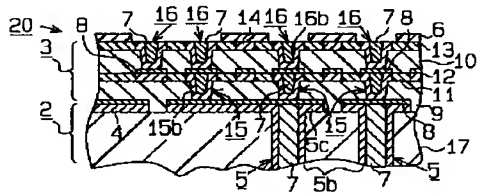
【図6】



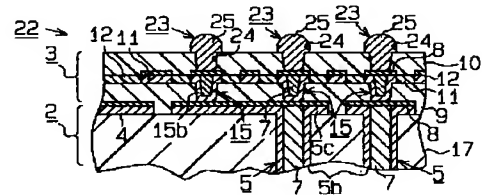
【図7】



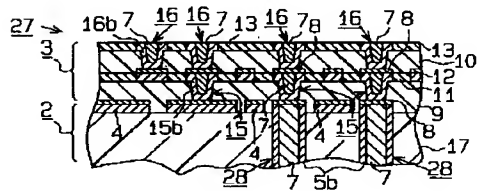
【図9】



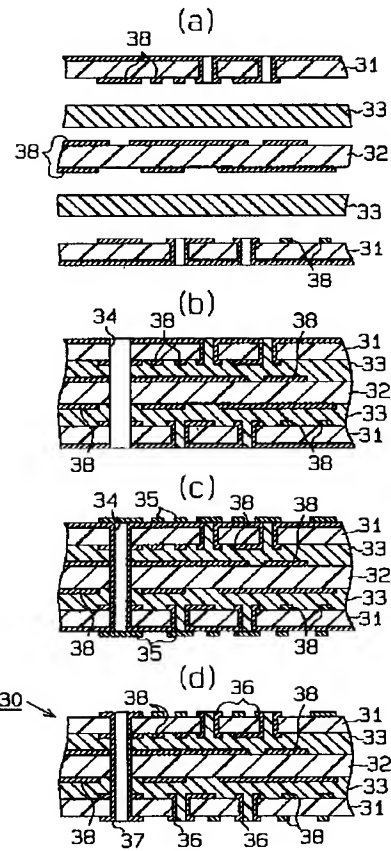
【図10】



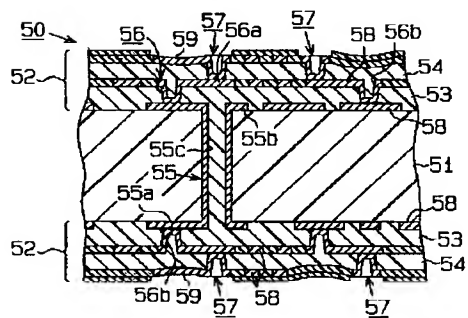
【図11】



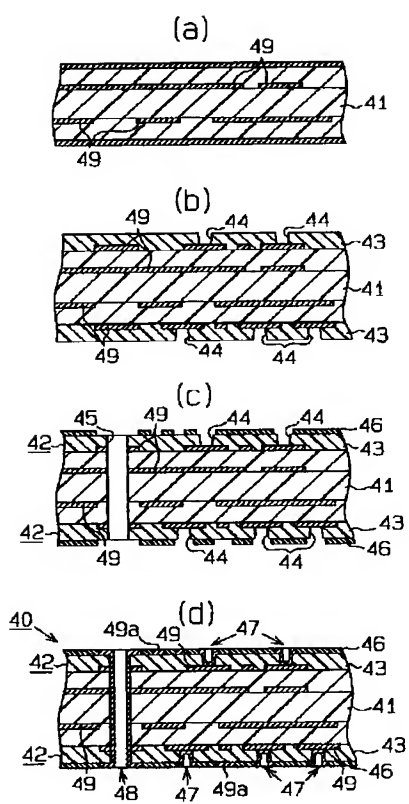
【図12】



【図14】



【図 13】



【図 15】

